



## [12]发明专利申请公开说明书

[21]申请号 94190435.0

[51]Int.Cl<sup>6</sup>

G09G 5/36

[43]公开日 1995年11月8日

[22]申请日 94.6.30

[30]优先权

[32]93.6.30 [33]JP[31]162977 / 93

[86]国际申请 PCT / JP94 / 01066 94.6.30

[87]国际公布 WO95 / 01629 日 95.1.12

[85]进入国家阶段日期 95.2.28

[71]申请人 世嘉企业股份有限公司

地址 日本东京

[72]发明人 桥原诚一

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

代理人 姜华

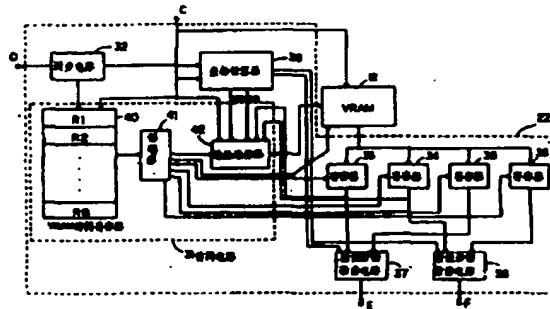
G06T 1 / 00

说明书页数: 附图页数:

[54]发明名称 图像处理装置及方法及有图像处理器的游戏机

[57]摘要

提供一种图像处理方法及装置，在其背景画生成部22内的访问电路31中，访问寄存器42存储循环图形。译码器41将读出的访问命令转换成控制信号。地址选择器42生成必要的图像数据在VRAM上的地址，并将其发送给VRAM12。VRAM12根据上述控制信号和地址读出图像数据，存入寄存器33~36。输出电路37~38从上述寄存器读出图像数据，生成并输出像素数据。因此，能在变更图像数据的色数、缩小率、访问频率等显示方面设定的过程中，灵活变更VRAM访问的循环图形，另外，能根据各背景画的图像数据的量或访问频率而调整多个VRAM之间的图像数据的存储容量。



(BJ)第 1456 号

# 权利要求书

---

1. 一种图像处理方法，它是将形成前景画用的图像数据存入帧缓冲器中，并将形成背景画用的图像数据存入视频 RAM 中，通过前景图像处理器从上述帧缓冲器读出前景画用的图像数据、与其同步地背景图像处理器从上述视频 RAM 读出背景画用的图像数据，经过定时使生成的前景画及背景画叠合，并将由此生成的合成的图像输出，

该图像处理方法的特征为：为了读出及写入背景画的图像数据，向视频 RAM 发送具体操作内容的指令，针对每一规定单位时间设定指定的操作内容，由 CPU 发送该设定内容的指令，根据来自上述 CPU 的指令，对视频 RAM 进行访问。

2. 一种图像处理方法，至少设置 1 个存储背景画的图像数据的视频 RAM，将图像数据存入各视频 RAM 中，同时访问这些视频 RAM，该图像处理方法的特征为：由 CPU 指定视频 RAM、以及读出存储在上述视频 RAM 中的图像数据。

3. 根据权利要求 2 所述图像处理方法，其特征为：将上述视频 RAM 分成 2 个具有相同容量的多个 RAM 部分的存储单元，由 CPU 指定各存储单元、以及读出上述存储单元中存储的图像数据。

4. 一种图像处理装置，它设有将形成前景画用的图像数据存入

RAM、经过在帧缓冲器中将上述图像数据展开后，在规定时间内从帧缓冲器中读出上述前景画用的图像数据的前景图像处理装置；从视频 RAM 中读出形成背景画用的图像数据的背景图像处理装置；在从前景图像处理装置输送的前景画的图像数据和从背景图像处理装置输送的背景画的图像数据之间，决定显示的优先顺序的优先顺序决定装置；以及根据该优先顺序输出前景画及背景画的图像数据的输出装置，

该图像处理装置的特征是设有指定装置，用来指定读出视频 RAM 中所存储的图像数据或将其写入的操作；

设有第 1 设定装置，用来在每一规定的单位时间内设定由指定装置指定的上述操作；

设有存储装置，用来存储由第 1 设定装置设定的每一规定的单位时间内的上述操作内容；

设有访问控制装置，用来根据存储装置中存储的内容，控制对视频 RAM 的访问；

还设有位数输出控制装置，用来根据每个背景画中不同的图像数据的信息量、并根据图像数据内规定的数据位数，进行输出时的控制。

5. 根据权利要求 4 所述的图像处理装置，其特征为：上述访问控制装置设有将由指定装置给出的指定信号变换成控制信号的变换装置；以及选择从 VRAM 读出的图像数据在 VRAM 上的地址、并将

其输送给 VRAM 的地址选择装置。

6. 根据权利要求 5 所述的图像处理装置，其特征为：上述地址选择装置设有生成图形名称数据在 VRAM 上的地址的第 1 生成装置；以及生成图形数据在 VRAM 上的地址的第 2 生成装置。

7. 根据权利要求 4 所述的图像处理装置，其特征为：对视频 RAM 进行访问，该视频 RAM 中存储有作为背景画的图像数据而由规定数量的像素信息构成的图形数据、以及指定构成准备显示的图像的图形数据在背景画中的位置的图形名称数据，在进行上述图像数据的读出的视频 RAM 访问中，作为指定进行上述图形数据或图形名称数据的读出或写入的动作的指定方法是使用访问命令。

8. 根据权利要求 7 所述的图像处理装置，其特征为：上述访问命令是由规定的位数构成的二进制码。

9. 根据权利要求 7 所述的图像处理装置，其特征为：在上述视频 RAM 访问中，作为在显示期间的 1 个循环单位设定由访问命令指定的上述操作的设定方法是以 CPU 可读的形式设定循环图形。

10. 根据权利要求 7 所述的图像处理装置，其特征为：在上述视频 RAM 访问中，作为存储上述循环图形的存储装置是使用 VRAM 访问寄存器。

11. 根据权利要求 7 所述的图像处理装置，其特征为：在上述视频 RAM 访问中，根据从存储在访问寄存器中的循环图形依次读出的访问命令进行对视频 RAM 的访问。

12. 根据权利要求 4 所述的图像处理装置，其特征为：在使用存储背景画用的图像数据的多个视频 RAM 或多个视频 RAM 的存储单元时，设有用来设定是否将视频 RAM 分割成存储单元的第 2 设定装置；以及将上述多个存储装置分配给每一个 RAM 或每一个 RAM 存储单元，并同时访问这些 RAM 或 RAM 存储单元的访问装置。

13. 一种游戏机，它备有将形成前景画用的图像数据存入 RAM、经过在帧缓冲器中将上述图像数据展开后、在规定的时间内从帧缓冲器中读出前景画用的图像数据的前景图像处理装置；从视频 RAM 读出形成背景画用的图像数据的背景图像处理装置；在从前景图像处理装置输送的前景画的图像数据和从背景图像处理装置输送的背景画的图像数据之间，决定显示的优先顺序的优先顺序确定装置；以及根据该优先顺序输出前景画和背景画的图像数据的输出装置，

该游戏机的特征为：设有指定读出视频 RAM 中存储的图像数据或将其写入的动作的指定装置；

在每一规定的单位时间内设定由指定装置指定的上述动作的第 1 设定装置；

存储由第 1 设定装置设定的每一规定的单位时间内的上述动作内容的存储装置；

根据存储装置中存储的内容，控制对视频 RAM 的访问的访问控制装置；

以及根据每个背景画上不同的图像数据的信息量、并根据图像数据内规定的数据位数，进行输出控制的位数输出控制装置。

14. 根据权利要求 13 所述的游戏机，其特征为：上述访问控制装置备有将由指定装置给出的指定信号变换成控制信号的变换装置；以及选择从 VRAM 读出的图像数据在 VRAM 上的地址、并将其输送给 VRAM 的地址选择装置。

15. 根据权利要求 14 所述的游戏机，其特征为：上述地址选择装置备有生成图形名称数据在 VRAM 上的地址的第 1 生成装置；以及生成图形数据在 VRAM 上的地址的第 2 生成装置。

16. 根据权利要求 13 所述的游戏机，其特征为：对视频 RAM 进行访问，在该视频 RAM 中存储有作为背景画的图像数据而由规定数量的像素信息构成的图形数据、以及指示构成准备显示的图像的图形数据在背景画中的位置的图形名称数据，在进行读出上述图像数据的视频 RAM 访问过程中，使用访问命令，指定上述图形数据或图形名称数据的读出或写入的操作。

17. 根据权利要求 16 所述的游戏机，其特征为：上述访问命令是由规定位数构成的二进制码。

18. 根据权利要求 16 所述的游戏机，其特征为：在上述视频 RAM 访问中，作为在显示期间的 1 个循环单位设定由访问命令指定的动作的设定方法，是以 CPU 可读的方式设定循环图形。

19. 根据权利要求 16 所述的游戏机，其特征为：在上述视频

RAM 访问中，作为存储上述循环图形的存储装置是使用 VRAM 访问寄存器。

20. 根据权利要求 16 所述的游戏机，其特征为：在上述视频 RAM 访问中，根据从访问寄存器中存储的循环图形依次读出的访问命令，控制对视频 RAM 的访问。

21. 根据权利要求 13 所述的游戏机，其特征为：在使用存储背景画用的图像数据的多个视频 RAM 或多个视频 RAM 的存储单元的情况下，设有用来设定是否将视频 RAM 分割成存储单元的第 2 设定装置；以及将多个存储装置分配给每个 RAM 或每个 RAM 存储单元，并同时访问这些 RAM 或 RAM 存储单元的访问装置。

# 说 明 书

---

## 图像处理装置及方法及有图像处理器的游戏机

本发明涉及图像处理装置中产生背景画面的图像处理电路的改进。

以往，在TV游戏机等中，在光栅扫描式监视器上显示的图像，通常是将在游戏机上映出的由角色等构成的前景画（动画）重叠在表示背景的通常数量的背景画（静止画）上构成的。分别设定这些背景画和前景画输出时的优先顺序（以下简称优先顺序）。彼此重叠时，只显示该优先顺序高的图像。优先顺序通常由规定的号码决定，该号码越大的图像越先显示。在背景画的情况下，上述号码通常以画面为单位指定，在前景画的情况下则以角色为单位指定。

例如在图10(a)中，有前景画FG及2个背景画BG0和BG1，表示优先顺序的号码这样设定：前景画FG的角色为CHR，其号码为“6”，背景画BG0的号码为“2”，BG1的号码为“4”。将它们重叠时，按角色CHR、背景画BG1、背景画BG0的顺序前后重叠。这样，形成背景的背景画和形成前景的前景画在同一时间、按规定的顺序重

叠，于是如图 10 (b) 所示，输出像在监视器的画面上所看到的那种整体图像。

以往所知的输出上述那种背景画和前景画用的图像处理装置，如图 11 所示。在图 11 中，视频处理机 2 通过接口 5 连接在 CPU1 上，CRT 显示器 16 连接在视频处理机 2 上。以 CD—ROM 或 ROM 盒式磁盘为代表的存储装置 3 及作为 CPU1 的暂存区的 RAM4 连接在 CPU1 上。

存储装置 3 中存有进行游戏用的程序或表示游戏画面用的图像数据。该图像数据由称为像素的最小单位构成，其中包含在输出信息时指定颜色用的规定位数的色码、以及表示输出的优先顺序用的优先顺序码。存储装置 3 中还含有声数据、图像数据、指定在画面上的有关坐标位置上进行显示用的数据、以及指定旋转、移动、放大及缩小处理用的数据等。CPU1 将这些数据由存储装置 3 读出并送入 RAM4，再通过 CPU 接口输送给视频处理机 2。

视频处理机 2 包括同步电路 11。在该同步电路 11 中产生与 CRT 显示器 16 的扫描同步的同步信号，为了使前景画及背景画的输出时间一致，将同步信号发送给视频处理机 2 内的各个部分。由 CPU1 进行控制，与该同步信号同时一并发送的还有：前景画的图像数据被发送至前景图像处理器 6，背景画的图像数据被发送给背景图像处理器 7。

命令 RAM8 和帧缓冲器 9 连接在前景图像处理器 6 上。输送的

角色等前景图形的图像数据一次存入命令 RAM8 中。另外，在执行游戏程序时，由 CPU1 发送的命令例如以表格形式存入命令 RAM8 中。在前景图像处理器 6 中，从命令 RAM 中读出这些命令，为了执行这些命令，将其登记在内部寄存器中。另外，从命令 RAM8 中读出图像数据，进行坐标计算、放大、缩小、颜色运算等图像处理，并将其写入帧缓冲器 9 的规定的地址中。在帧缓冲器 9 中经过扩展的前景画的图像数据按每一帧的顺序输出给优先顺序电路 12。

输送给背景图像处理部 7 的背景画的图像数据被存入视频 RAM (以下简称 VRAM) 10 中。背景画的图像数据中有图形数据和图形名称数据。如图 12 (a2) 所示，所谓图形数据，是指将例如水平及垂直方向上每 8 个像素集中构成的如图 12 (a1) 所示的单元作为基本单位，将该单元内的各像素的色码集中起来的色码。所谓图形名称数据，是指上述图形数据中包括背景画上的地址数据。如图 12 (b) 所示，背景画由规定数目的单元集合构成，图形名称数据利用上述单元的 VRAM 上的开头地址指定存储在 VRAM10 中的该背景画上的单元位置。

现在回到图 11 进行说明，如果需要，背景图像处理器 7 根据来自 CPU1 的指示，进行坐标计算，进行上下左右移动或旋转等图像处理后，从 VRAM10 中读出上述图像数据，并以每个背景画为单位输送给优先顺序电路 12。

优先顺序电路 12 对由前景图像处理器 6 及背景图像处理器 7

输送来的子画面及背景画的图像数据输出的优先顺序进行判断，按照优先度的高低输送图像数据，合成前景画及背景画，然后输送给彩色化电路 13。

色 RAM14 连接在彩色化电路 13 上。从优先顺序电路 12 输送来的图像数据的色码指定特定的地址，再根据上述地址从色 RAM14 中读出特定的色数据。该色数据被转换成表示 3 原色（红、黄、蓝）的配合率的 RGB 数据，并输送给放像信号合成电路 15，在此利用 D/A 变换器，将其从数字信号变换为模拟信号的放像信号，然后输出到以标准 TV 监视器为代表的 CRT 显示器 16 上。

#### [背景图像处理器中的访问电路和 VRAM 访问]

在上述的视频处理机 2 中，由背景图像处理器 7 进行从 VRAM 10 中读出背景画的图像数据的处理。还进行将背景画的图像数据写入 VRAM 10 中的处理。这些操作称为 VRAM 访问，通常由背景画处理器 7 中所设的访问电路 17 进行控制。下面说明该 VRAM 的访问。

所谓进行 VRAM 访问，具体地说，就是指在进行背景画显示时，从 VRAM 中读出图像数据，以及将由 CPU 供给的新的图像数据写入 VRAM。

VRAM 访问包括读出存储在 VRAM 中的图像数据的“图像数据读出访问”、将新的图像数据从 CPU 写入 VRAM 的“CPU 访问”、以及读出存储在 VRAM 中的进行图像显示所需要的参数等的“参数读出访问”等。

在显示期间进行“图像数据读出访问”，通过指定规定的访问操作，从 VRAM 中读出图像数据。在这些访问操作中，有指定读出 VRAM 中的图形名称数据的“图形名称读出”，以及指定读出图形数据的“图形数据读出”。

进行这些存取操作时，每单位时间内的 VRAM 访问内容，可根据规定的限制，设定在显示期间进行的“CPU 访问”的次数。

如图 13 所示，通常，VRAM 访问的单位时间是输出 1 个单元中的水平方向的 1 列（8 个像素）所需的时间，以此作为 1 个循环。访问电路根据 1 个像素的输出时间设定 1 次访问，在 1 个循环内要对 VRAM 进行 8 次访问。在 1 个循环中 8 次 VRAM 访问的内容称为循环图形。访问电路在显示期间，根据上述的循环图形，选择规定的图像数据在 VRAM 内的所在地址，并供给 VRAM，从而对 VRAM 进行访问控制。另外，对于显示期间设定的 CPU 访问，要确保在指定次数内的写入用的访问时间。下面利用图 14，具体说明使用 2 个背景画 BG0 和 BG1 时，根据该循环图形进行的 VRAM 访问例。

#### 〔VRAM 访问的旧有例〕

在图 14 (a) 中，用表格形式表示图 11 中的背景图像处理器 7 内的访问电路 17 的循环图形。在图 14 (b) 中，表示存入与该访问电路连接的 VRAM 10 中的数据结构。表中所示，是将读入图像数据用的循环图形预先设定在硬件中。在显示期间，访问电路 17 根据上述循环图形，第 1 次访问时读出背景画 BG0 的图形名称数据 (PND)。

以往，访问电路 17 根据 CPU 的指定，将表示背景画 BG0 的图形名称数据在 VRAM 10 内的地址的选择信号指定在 VRAM 10 内。于是，就根据上述地址从 VRAM 中读出背景画 BG0 用的图形名称数据。

通常在这种访问中，1 次能读出 1 个字 (16 位)。如图 14 (c) 所示，图形名称数据是在图形数据 (单元单位) 的背景画面中包含有开头地址的 16 位的结构。因此，如果在 1 次访问中读出图形名称数据，则可获得背景画 BG0 上的 1 个单元的图形数据的开头地址。

根据这样得到的图形数据的开头地址，访问电路在第 2 次以后的访问中，根据循环图形读出背景画 BG0 的图形数据 (PTD)。即，读出单元的水平列 (8 个像素) 的由上述开头地址指定的图形数据。现在假定背景画 BG0、BG1 一起，在 1 次访问中读出的 1 个字的图形数据含有 4 个像素的色码，则为了读出 8 个像素，就必须对同一图形数据进行 2 次访问。因此，在第 2 次及第 3 次访问时，读出 2 个字的背景画 BG0 的图形数据。

其次，关于背景画 BG1 也一样，在第 4 次访问时读出图形名称数据 (PND)，得到背景画 BG1 的图形数据的开头地址。继续在第 5 次及第 6 次访问时，根据上述开头地址，从 VRAM 中读出 2 个字的图形数据 (PTD)。通过反复进行这些从第 1 次到第 6 次的访问内容，在显示期间，根据循环图形，能以单元为单位在水平方向依次读出背景画 BG0 及 BG1 的图像数据。

在图 14 所示的循环图形中，在 1 个循环 (8 次) 的访问中，作

为第7次及第8次访问，设定将从CPU供给的新的图像数据在显示期间写入VRAM中用的CPU访问。这时，成为写入对象的图像数据的地址从CPU供给VRAM10。通过显示期间的CPU访问，读入VRAM中的图像数据，在适当的时间按照上述循环图形内的图像数据的读出顺序读出。因此，进行游戏时能改写背景画，故能变更背景画。

如上所述，访问电路中的循环图形，作为单位时间内的访问内容，分别指定：(1) 显示期间的访问操作指定的时间和次数、以及(2) 显示期间的CPU访问。以往，该循环图形采取预先设定在硬件中的方式。即，作为样机，若干循环图形以规定的数据形式固定在硬件中，根据CPU的指定，从这些循环图形中选择1组最合适的数据进行编排。

#### [图像数据量的变化和VRAM访问的循环图形的变更]

最近在游戏机中，不仅注重游戏的情节，而且把较大的侧重点放在游戏时的视觉效果上。伴随这种倾向，为了引起玩游戏的人对游戏的兴趣，在背景画的显示中也使移动或旋转等活动的变化，或放大、缩小等大小变化等加以复杂化，同时使用多种色彩以提供美的图像的方法也是不可缺少的。在上述的方法中，有增加背景画的使用数量、变更每个背景画中使用的颜色种类或显示倍率等。根据与显示有关的各种条件，详细地进行设定。但另一方面，这些条件的设定一旦变得复杂化，背景画的图像数据保持的信息量就会大幅

度增加。

例如, 如图 15 (a) 所示, 在 2 个背景画 BG0 和 BG1 中, 背景画 BG0 使用 16 种颜色显示得分表等的彩色字符, 在背景画 BG1 上使用 256 色显示华丽的彩色背景画。这时, 每个图形数据的像素的色码指定色 RAM 内的色数据时, 如果使用 16 色的背景画 BG0, 需要 4 位数据量; 如果使用 256 色背景画, 需要 8 位数据量。这样, 一旦增加使用颜色数量, 每个像素的数据量和帧面数据的信息量 (位数) 也都增加。

上述图像数据信息量的增减, 影响到 VRAM 访问的循环图形的设定。在图 15 (b) 中, 背景画 BG0 及 BG1 的图形数据内的每个像素的色码分别为 4 位和 8 位。在 1 次访问中读出循环图形中的 1 个字的图形数据时, 在该 1 个字 (16 位) 中, 背景画 BG0 中含有 1 个像素的色码, 而在背景画 BG1 中只含有 2 个像素的色码。因此, 为了读出规定量的图形数据 (单元的水平列的 8 个像素), 在循环图形中, 在背景画 BG0 的情况下设定 2 次访问时间即可, 而在背景画 BG1 的情况下, 必须设定 4 次访问时间, 需要较多的访问时间。这样便出现图像数据的信息量的增减, 与此相应, 还需变更循环图形的设定。

#### [图像数据量的增加和 VRAM 容量的设定]

这样, 当图像数据的信息量增大时, 除了变更循环图形以外, 以往还采用下述方法, 即, 在 VRAM 访问中, 作为 1 次访问中能尽可

能从 VRAM 读出更多的图像数据的方法有：将若多个独立的 VRAM 连接在背景图像处理器上，将各个 VRAM 分配给各背景画，采取同时访问全部 VRAM 的方式。另外，还有将单一的 VRAM 分割成称为存储单元群的部分，并将这些单元群分配给各背景画，再采取同时访问这些部分的方式。

可是，在上述现有的技术中，存在下述问题。如上所述，为了改善背景画的图像显示，需要详细地设定与表示使用颜色的数量等有关的各种条件，以及 VRAM 访问时还要访问循环图形的次数的增减等的变更。

在这种情况下，现有的访问方式通常是采取从预先设想的多个设定条件中选择一种最合适的方式。例如，采取在表示作为样机的循环图形的规定数据形式加上固有的编号，并登记在寄存器中，由 CPU 指定该编号等方法。可是，这时存在上卷图的数量、颜色数量或缩小等的设定种类增多，组合方式也会增大，从而使问题复杂化。另外也可以采用在硬件中确定最佳图形的方式来代替选择组合的方式，但这时存在电路的规模变大、硬件的负载过重的问题。

另外，关于从 CPU 写入的图像数据的信息量变大、写入时间不足的问题方面，也需要有效地利用显示期间访问硬件的空闲时间，尽可能频繁地访问 CPU。但是，在现有的访问电路中，一旦确定的访问图形是固定的，很难设定自由地根据需要而增减 CPU 的访问时间。这样，在现有的将访问的图形固定在硬件中的方式的情况下，对

于业已设定能够各自单独显示的多个背景画来说，在显示方面还有许多限制。

另一方面，关于进行图像数据的存储及读出的 VRAM 也由于其使用容量固定化而存在下述问题。即，当设置了容量相同的多个 VRAM 时，很难有效地使用全部 VRAM。现以图 16 为例进行说明。将 2 个 VRAM 即 VRAM—A 和 VRAM—B 分别分配给背景画 BG0 和 BG1。这时，假定背景画 BG1 在某个游戏场面 A 中完全不显示，却在同一游戏的不同场面 B 中显示。遇到这种情况，就要根据预想的必要场合进行预先设定在场面 A 中背景画 BG1 使用的 VRAM—B 的容量，但在不使用时却是“必要的浪费”。另外，当背景画 BG0 的图像数据多时，则不能将 VRAM—B 用于背景画 BG0。这样情况在将单一的 VRAM 分割成存储单元时也一样。因此，在现有的 VRAM 容量的使用过程中，没有办法根据具有各背景画的图像数据的量或背景画的使用状况有效地调整 VRAM 的容量。

本发明就是鉴于上述问题而开发的，其第 1 个目的是提供这样一种图像处理方法，它能不增加硬件的负担，且能对有关图像数据显示方面的色彩数量缩小率、以及访问的频度等方面的设定加以变更，灵活地变更对 VRAM 进行访问时的单位时间内的存取操作。

本发明的第 2 个目的是提供这样一种图像处理方法，它能根据各背景画的图像数据的量或访问频度，在多个 VRAM 之间调整上述图像数据的存储。

本发明的第 3 个目的是提供这样一种图像处理方法，它不是在多个 VRAM 之间，而是在同一个 VRAM 的存储单元之间实现上述第 2 个目的。

本发明的第 4 个目的是提供这样一种图像处理装置，该装置能用 CPU 进行控制，用来设定和变更 VRAM 访问时单位时间内的存取操作，且能识别并输出各种不同显示条件的背景画。

本发明的第 5 个目的是提供这样一种图像处理装置，它能在 VRAM 访问过程中依次自动且平稳地执行设定的单位时间内的存取操作。

本发明的第 6 个目的是提供这样一种图像处理装置，它能通过计算，生成及选择图像数据在 VRAM 上的地址，并将其送给 VRAM。

本发明的第 7 个目的是提供这样一种图像处理装置，它具有指定 VRAM 访问时规定的操作、并迅速地执行上述操作的结构。

本发明的第 8 个目的是提供一种不增加存储容量的负担而实现第 7 个目的的图像处理装置。

本发明的第 9 个目的是提供一种具有能容易地设定及改变在规定单位时间内的 VRAM 访问操作的具体结构的图像处理装置。

本发明的第 10 个目的是提供一种具有由 CPU 控制规定的单位时间内的 VRAM 访问操作的具体结构的图像处理装置。

本发明的第 11 个目的是提供一种具有依次自动且平稳地进行对 VRAM 的访问的具体结构的图像处理装置。

本发明的第 12 个目的是提供一种通过 CPU 的控制容易实现对图像数据进行 VRAM 容量分配以及变更这种分配用的结构的图像处理装置。

本发明的第 13 个目的是提供这样一种图像处理装置, 它能利用 CPU 的控制, 设定和变更 VRAM 访问时单位时间内的存取操作, 还能识别并输出各种不同显示条件的背景画。

本发明的第 14 个目的是提供一种能在 VRAM 访问过程中按照设定的单位时间依次自动且平稳地进行存取操作的游戏机。

本发明的第 15 个目的是提供一种在 VRAM 访问过程中, 通过计算产生及选择图像数据在 VRAM 上的地址、并将其发送至 VRAM 的游戏机。

本发明的第 16 个目的是提供一种具有指定 VRAM 访问期间的规定的动作、并迅速执行上述动作的结构的游戏机。

本发明的第 17 个目的是提供一种不增加存储容量的负担而实现第 16 个目的的游戏机。

本发明的第 18 个目的是提供一种具有能容易地设定及变更在规定的单位时间内所做的 VRAM 访问操作的具体结构的游戏机。

本发明的第 19 个目的是提供一种具有由 CPU 控制规定的单位时间内对 VRAM 访问操作的具体结构的游戏机。

本发明的第 20 个目的是提供一种具有依次自动且平稳地进行对 VRAM 访问的具体结构的游戏机。

本发明的第 21 个目的是提供一种通过 CPU 的控制、容易实现对图像数据进行 VRAM 容量分配的设定并变更这种分配用的结构的游戏机。

在解决上述问题的方法中，权利要求 1 所述发明的图像处理方法，是将形成前景画用的图像数据存入帧缓冲器中，同时将形成背景画用的图像数据存入视频 RAM 中，在前景图像处理器中从上述帧缓冲器读出上述前景画用的图像数据，与此同时，在背景图像处理器中从视频 RAM 读出背景画用的图像数据，于是在同一时间内生成前景画和背景画，并使它们重叠，将它们作为合成图像输出。

该图像处理方法的特征为：为了读出和写入背景画的图像数据，将具体的动作内容向视频 RAM 发送指令，在每一规定的单位时间设定指令的操作内容，由 CPU 设定指令，并根据 CPU 的指令对视频 RAM 进行访问。

权利要求 2 所述发明的图像处理方法，是至少设置 1 个存储背景画的图像数据的视频 RAM，将图像数据存入各视频 RAM 中，同时访问这些视频 RAM，

其特征为：由 CPU 指定视频 RAM、并从该视频 RAM 读出所存储的图像数据内容。

权利要求 3 所述发明的特征是：将权利要求 2 所述的视频 RAM 分割为具有等容量的多个 RAM 部分的 2 个存储单元，由 CPU 指定各存储单元，以及读出存储在上述存储单元的图像数据。

权利要求 4 所述发明的图像处理装置备有前景图像处理装置，背景图像处理装置，优先顺序处理装置和显示装置：前景图像处理装置将形成前景画用的图像数据存入 RAM 中，将上述图像数据在帧缓冲器中经过展开后，在规定的时间内从帧缓冲器读出上述前景画用的图像数据；背景图像处理装置从视频 RAM 读出形成背景画用的图像数据；优先顺序处理装置在从前景图像处理装置输送的前景画的图像数据和从背景图像处理装置输送的背景画的图像数据之间决定显示的优先顺序；显示装置根据该优先顺序显示前景画和背景画的图像数据。这种图像处理装置的特征为：设有用来读出存储在视频 RAM 中的图像数据或将其写入操作的指定装置；以及在一规定单位时间内分别设定由指定装置指定的上述具体操作的第 1 设定装置；用于存储由第 1 设定装置设定的每一单位时间内的上述具体操作内容的存储装置；根据存储装置中所存储的内容控制对视频 RAM 的访问的访问控制装置；以及根据每一背景画不同的图像数据的信息量，并根据图像数据内规定的数据位数进行输出时的控制的位数输出控制装置。

权利要求 5 所述发明的特征为：权利要求 4 所述的访问控制装置设有将指定装置发出的指定信号变换成控制信号的变换装置；以及选择从 VRAM 读出的图像数据在 VRAM 上的地址并将其发送至 VRAM 的地址选择装置。

权利要求 6 所述发明的特征为：权利要求 5 所述的地址选择装

置设有生成图形名称数据在 VRAM 上的地址的第 1 生成装置；以及生成图形数据在 VRAM 上的地址的第 2 生成装置。

权利要求 7 所述的发明的特征为：权利要求 4 所述的图像处理装置对视频 RAM 进行访问，该视频 RAM 中存储着作为背景画的图像数据而由规定数量的像素信息构成的图形数据、以及指定构成准备显示的图像的图形数据在背景画中的位置的图形名称数据，在进行上述图像数据的读出的视频 RAM 访问中，利用存取命令指定进行上述图形数据或图形名称数据的读出或写入的操作。

权利要求 8 所述发明的特征为：权利要求 7 所述的存取命令是由规定的位数构成的二进制码。

权利要求 9 所述发明的特征为：权利要求 7 所述的图像处理装置在视频 RAM 访问中，以 CPU 的可读方式设定循环图形，由此以显示期间的 1 个循环为单位，设定由访问命令指定的上述操作的设定。

权利要求 10 所述的本发明的特征是：权利要求所述的图像处理装置在视频 RAM 访问中，使用 VRAM 存取寄存器作为存储上述循环图形的存储装置。

权利要求 11 所述发明的特征为：权利要求 7 所述图像处理装置在视频 RAM 访问中，根据从存储在上述存取寄存器中的循环图形依次读出的存取命令进行对视频 RAM 的访问。

权利要求 12 所述的发明的特征为：在有存储图像数据的多个视频 RAM 或多个视频 RAM 的存储单元的情况下，权利要求 4 所述的

图像处理装置中设有设有设定是否将视频 RAM 分割成存储单元的第 2 设定装置，以及将上述多个存储装置分配给每一个 RAM 或每一个 RAM 的存储单元，同时访问这些 RAM 或 RAM 的存储单元的访问装置。

权利要求 13 所述的发明的游戏机的图像处理装置设有将形成前景画用的图像数据存储在 RAM 中、将上述图像数据在帧缓冲器中经过展开后，在规定时间内从帧缓冲器读出前景画用的图像数据的前景图像处理装置；从视频 RAM 读出形成背景画用的图像数据的背景图像处理装置；在从前景图像处理装置输送的前景画的图像数据和从背景图像处理装置输送的背景画的图像数据之间，决定显示的优先顺序的优先顺序决定装置；以及根据该优先顺序显示前景画及背景画的图像数据的显示装置，该图像处理装置的特征为：设有指定读出存储在视频 RAM 中的图像数据或将其写入的操作的指定装置；以及在规定的每一单位时间内分别设定由指定装置指定的上述具体操作的第 1 设定装置；用于存储由第 1 设定装置设定的每一规定的单位时间内的上述具体操作内容的存储装置；根据存储装置中所存储的内容，控制对视频 RAM 的访问的访问控制装置；以及根据每一背景画中的不同图像数据的信息量，并根据图像数据内规定的数据位数进行输出时的控制的位数输出控制装置。

权利要求 14 所述发明的特征为：权利要求 13 所述的访问控制装置中设有将由指定装置发出的指定信号变换成控制信号的变换装

置；以及选择从 VRAM 读出的图像数据在 VRAM 上的地址并将其发送给 VRAM 的地址选择装置。

权利要求 15 所述的发明的特征为：权利要求 14 所述的地址选择装置设有生成图形名称数据在 VRAM 上的地址的第 1 生成装置；以及生成图形数据在 VRAM 上的地址的第 2 生成装置。

权利要求 16 所述的发明的特征为：权利要求 13 所述的游戏机对视频 RAM 进行访问，在该视频 RAM 中存储有作为背景画的图像数据由规定数量的像素信息构成的图形数据、以及指示构成准备显示的图像的图形数据在背景画中的位置的图形名称数据，在读出上述图像数据的视频 RAM 访问中，利用访问命令，指定图形数据或图形名称数据的读出或写入操作。

权利要求 17 所述的发明的特征为：权利要求 16 所述的访问命令是由规定的位数构成的二进制码。

权利要求 18 所述发明的特征为：权利要求 16 所述的游戏机在视频 RAM 访问中，以 CPU 的可读方式，设定循环图形，以此在显示期间的 1 个循环单位中设定由访问命令指定的上述操作的设定。

权利要求 19 所述发明的特征为：权利要求 16 所述的游戏机在视频 RAM 访问中，采用 VRAM 访问寄存器作为存储循环图形的存储装置。

权利要求 20 所述发明的特征为：在权利要求 16 所述游戏机在视频 RAM 访问中，根据从上述访问寄存器中存储的循环图形依次

读出的存取命令，进行对视频 RAM 的访问。

权利要求 21 所述发明的特征为：在有存储图像数据的多个视频 RAM 或多个视频 RAM 的存储单元时，在权利要求 13 中所述的游戏机设有指定是否将视频 RAM 分割成存储单元的第 2 指定装置；以及将上述多个存储装置分配给每个 RAM 或每个 RAM 的存储单元，同时访问这些 RAM 或 RAM 的存储单元的访问装置。

下面说明具有上述结构的本发明的作用。

为了设定 VRAM 访问的循环图形，必须设定关于显示每个背景画的图像数据的各种条件。具体地说，这些条件就是各背景画中使用的各种颜色数、放大、缩小的设定，CPU 访问的有无、各背景画所需的图像数据在 VRAM 上的存储位置等。

根据这些条件，为了读出及写入图像数据要在所设的每个 VRAM 中设定对 VRAM 访问的循环图形。即要确定在 1 个循环中所需的存取命令、根据这些命令进行的访问次数、以及访问的时间。

如果采用权利要求 1 所述的发明，要将根据上述各种条件设定的循环图形信息存在软件内或 ROM 中，在进行游戏时，能将这些内容读入 CPU，并能指定及变更读入的内容。

如果采用权利要求 2 所述发明，要预先设定在各 VRAM 中存储的规定的图像数据，在进行游戏时，能够使用上述循环图形指定该图像数据的读出，并读入 CPU 中。

上述的处理能根据详细的程序，更自由地设定游戏程序的内容

或程序中使用的各数据及各种条件等。因此能设定适当的条件，提高使用效率。另外，在变更这些设定时，只需将变更的内容加进软件或 ROM 等中即可。因此还能容易地变更访问时间，还能使用 VRAM 容量中的空闲区。因此，即使像以往那样有时不使用，也能节省在硬件中设定的、固定不变的无用访问时间或无用 VRAM 容量。

这样，在权利要求 1 及 2 所述的发明中，进行游戏时能灵活处理在每个场面中时刻变化的图像数据的信息量以及处于变化状态的 VRAM 的使用状况。

如果采用权利要求 3 所述发明，则能更有效地利用 VRAM 的有限容量，且能从 VRAM 读出更多的图像数据。第 1，能根据图像数据的信息量选择使用分割的存储单元还是使用 1 个 VRAM，因此能提高使用效率。第 2，将 1 个 VRAM 分割成具有相同容量的多个存储单元，同时对这些存储单元进行全部访问，因此能读出较多的图像数据。另外，如果将各背景画的图像数据分别分配给各存储单元，则能增加同时显示的背景画的数量。第 3，如果利用循环图形进行设定，则能自由地增减分配图像数据的存储单元或存储单元的个数，因此能合理地分配 VRAM 的容量。

如果采用权利要求 4 所述的发明，则能实现根据需要灵活变更 VRAM 访问时的循环图形的图像处理装置。这就是说利用指定装置来指定 VRAM 的访问操作。其次，在第 1 设定装置中使用上述指定

装置，设定在规定的单位时间内进行访问操作的内容，将设定的访问内容以 CPU 可读形式加以保持。读入的访问内容通过 CPU 存入存储装置中。利用访问控制装置，参照存储的访问内容，控制 VRAM 访问。这时，输出位的控制装置为了正确地输出图像数据的信息量不同的多个背景画，根据图像数据的位数，进行分配作业。于是能一并输出相同背景画的图像数据。

如果采用权利要求 5 所述发明，则在上述图像处理装置中进行 VRAM 访问时，从存储装置读出访问操作的内容，根据该内容能控制访问。即，写入存储装置的访问内容的信息被分成指定的图像数据的种类及读出、写入的指定两个部分，并经过不同的路径同步输至 VRAM。即，变换装置根据访问命令生成读、写信号，指定读出或写入所指定的图像数据。而且，地址选择装置选择指定的图像数据在 VRAM 上的地址，并将它送给 VRAM。VRAM 接收该图像数据的地址和读、写信号，读出指定的图像数据，然后将上述图像数据存入规定的数据缓冲器。

如果采用权利要求 6 所述发明，则在上述图像处理装置中，为了从 VRAM 读出图像数据，或将图像数据写入 VRAM，能按图像数据的种类生成读出或写入所需要的图像数据在 VRAM 上的地址。即，当访问命令是“图形名称读出”时，第 1 生成装置生成图形名称数据在 VRAM 上的地址，并将其供给 VRAM。当访问命令是“图形数据读出”时，第 2 生成装置生成图形数据在 VRAM 上的地址，并

将其供给 VRAM。

如果采用权利要求 7 所述发明，则在上述图像处理装置的 VRAM 访问中，使用规定的访问命令作为表示读出或写入作为存储在 VRAM 中的背景画的图像数据的图形数据及图形名称数据等各种存取操作的方法。因此能简化各存取操作的表示方法，并能便于设定或变更这些存取操作的指定内容。

如果采用权利要求 8 所述发明，则上述图像处理装置中的访问命令使用由规定的位数构成的代码。因此能节省图像处理装置内的存储容量。另外，由于以二进制码的形式读入上述命令，所以能更迅速地进行访问动作。

如果采用权利要求 9 所述发明，则在上述图像处理装置中的 VRAM 访问中，能以 CPU 读入的形式将显示期间在 1 个循环单元设定的一系列访问操作的循环图形一并以高效的方式设定在例如 CD—ROM 等中。

如果采用权利要求 10 所述发明，由于将上述图像处理装置中的循环图形存储在 VRAM 访问寄存器中，所以能控制由 CPU 进行的读出及写入。

如果采用权利要求 11 所述的发明，则在上述图像处理装置中，访问电路依次从循环图形中读出访问命令，能自动且平稳地进行访问动作。

如果采用权利要求 12 所述的发明，则能实现有效地使用 VRAM

容量的具体图像处理装置。即，由第 2 设定装置设定是否将 VRAM 分割成存储单元。因此能根据图像数据的量决定使用全部 VRAM 容量还是使用部分容量。访问装置同时对 VRAM 或 VRAM 存储单元进行访问。具体地说，分别将存储的图像数据的信息量及访问的频度等与显示有关的各种条件所对应的循环图形设定在每个设置的 VRAM 或 VRAM 存储单元中。因此能同时显示多个背景画，增加读出的图像数据的量，同时能更有效地使用 VRAM 容量。

如果采用权利要求 13 所述的发明，则能实现根据需要灵活变更 VRAM 访问中的循环图形的游戏机。即利用指定装置指定 VRAM 的访问操作。第 1 设定装置使用上述指定装置设定规定的单位时间内进行的访问动作的内容，以 CPU 可读的形式保持设定的访问内容。读入的访问内容由 CPU 存入存储装置。访问控制装置参照所存储的上述访问内容，控制 VRAM 访问。这时，输出位控制装置根据能够准确地输出图像数据的信息量不同的多个背景画用的图像数据的位数进行分配作业。因此能一并输出同样背景画的图像数据。

如果采用权利要求 14 所述发明，则在上述游戏机中，从存储装置读出在 VRAM 访问中访问操作的内容，能根据上述内容控制访问操作。即，写入上述存储装置的访问命令指示的访问内容的信息被分为指定的图像数据的种类及读出、写入的指定两个部分，并从两个不同的路径同步送给 VRAM。即，变换装置根据访问命令的信息生成读、写信号，指示读出或写入指定的图像数据。而且地址选择

装置选择指定的图像数据在 VRAM 上的地址，并将其送给 VRAM。VRAM 接收该图像数据的地址和读写信号，读出指定的图像数据，然后将上述图像数据存入规定的数据缓冲器。

如果采用权利要求 15 所述的发明，则在上述游戏机中，从 VRAM 读出图像数据，能按图像数据的类别生成写入 VRAM 所需要的图像数据在 VRAM 上的地址。即，当访问命令是“图形名称读出”时，由第 1 生成装置生成图形名称数据在 VRAM 上的地址，并将其供给 VRAM。当访问命令是“图形数据读出”时，由第 2 生成装置生成图形数据在 VRAM 上的地址，并将其供给 VRAM。

如果采用权利要求 16 所述的发明，则在上述游戏机的 VRAM 访问中，使用规定的访问命令作为表示作为 VRAM 中存储的背景画的图像数据的图形数据及图形名称数据的读出或写入等各访问操作的指定方法。因此，由于能简化地表示各项访问操作，所以能够便于指定这些访问操作的设定和变更。

如果采用权利要求 17 所述的发明，则作为上述游戏机中的访问命令是使用由规定位数据构成的代码。因此能节省图像处理装置内的存储容量。另外，由于上述命令是以二进制码的形式读入的，所以能较为迅速地进行访问操作。

如果采用权利要求 18 所述的发明，则在上述游戏机的 VRAM 访问中，能以 CPU 可读的形式，有效地将显示期间在 1 个循环中设定的一系列访问动作的循环图形设定在例如 CD-ROM 等中。

如果采用权利要求 19 所述的发明,由于将上述游戏机中的循环图形存入 VRAM 访问寄存器中,所以能控制由 CPU 进行的读出及写入。

如果采用权利要求 20 所述的发明,则在上述游戏机中,访问电路顺次从循环图形读出访问命令,能自动且平稳地进行访问操作。

如果采用权利要求 21 所述的发明,则能实现有效地使用 VRAM 容量的具体的游戏机。即由第 2 设定装置设定是否将 VRAM 分割为存储单元。因此能根据图像数据的量决定使用全部 VRAM 容量,还是使用部分容量。访问装置同时访问 VRAM 或 VRAM 存储单元。具体地说,将存储的图像数据的信息量及访问频度等与显示有关的各条件所对应的循环图形设定在所设置的每一个 VRAM 或 VRAM 存储单元中。因此,能同时显示多个背景画,增加读出的图像数,同时能更有效地使用 VRAM 的容量。

图 1 是本发明的实施例中的背景画生成部的结构框图。

图 2 是本发明的实施例中的图像处理装置的结构框图。

图 3 是本发明的实施例中的上卷机构的结构框图。

图 4 是该实施例中设定的表示循环图形的图。

图 5 是表示本发明的实施例中的图形名称地址的生成顺序的图。

图 6 是表示本发明的实施例中的图形数据地址的生成顺序的图。

图 7 是表示本发明的输出电路中的像素数据的生成顺序的图。

图 8 是表示本发明的参考例 1 中的访问寄存器及 VRAM 的增设及设定的图。

图 9 是表示本发明的参考例 2 中的 VRAM 容量分配的变更图。

图 10 是表示图像处理装置输出前景画和背景画的顺序的图。

图 11 是现有的图像处理装置的概念图。

图 12 (a1) 和 (a2) 是单元和图形数据的结构图。

图 12 (b) 是背景画上的单元位置图。

图 13 是 VRAM 访问时的单位时间 (循环) 图。

图 14 是 VRAM 访问的说明图。

图 15 是使用的颜色数与每一像素的色码的位数之间的关系图。

图 16 是 VRAM 容量对图像数据分配的变更图。

下面参照附图说明本发明的图像处理装置的一个实施例。本实施例的内容如下列目录所示。

#### 〈本实施例 目录〉

##### 1. 本实施例的总体结构

1—1 本实施例的图像处理装置的总体结构

1—2 本实施例的背景图像处理部分的结构

##### 2. 本实施例的作用及效果

2—1 显示条件的设定

2—2 循环图形的设定

2—3 本实施例的作用

2—4 本实施例的效果

### 3. 另一实施例

3—1 参考例1: CPU访问的设定及访问寄存器、使用 VRAM 的增设

3—2 参考例2: VRAM 容量的有效使用

3—3 作用和效果

### 1. 本实施例的总体结构

首先用图2说明本发明中所包括的背景图像处理部分中的图像处理装置的结构如下。在本实施例中，设想前景画及背景画用的显示画面是由图像数据形成的显示图像。在这些显示画面中，把前景画用的画面叫做子画面，把背画用的画面叫做上卷画面。

1—1 本实施例的图像处理装置的总体结构

图2是表示本发明的图像处理装置的一个实施例的框图。在图2中，CPU1、RAM2及视频处理机3连接在由总线控制器13控制使用权的总线14上。视频处理机3由子画面发生器5、上卷器6及D/A变换器7构成。命令RAM8和帧缓冲器9连接在子画面发生器5上。上卷器6内部装有色RAM10及各种寄存器11，并与VRAM12连接。与上卷器6的各种功能有关的设定由CPU1写入寄存器11。与本实施例有关的部件还有存储显示期间控制VRAM访问用的循环

图形的 VRAM 访问寄存器、指定是否将 VRAM 分割成存储单元用的寄存器等。监视器 4 也连接在视频处理机 3 上。

CPU1 将从 CD—ROM 等外部存储装置（图中未示出）读入的游戏程序存入 RAM2，将读入的输出用的图像数据与图像处理所需要的命令或指示一并输送至视频处理机 3。在视频处理机 3 中，前景用的图像处理部分中的子画面发生器 5 首先将由 CPU1 输送来的前景用的命令作为命令表一次存入命令 RAM8 中。上述命令由子画面发生器 5 读出，设定在内部的系统寄存器执行。另一方面，从 CPU1 输送来的前景用的图像数据同样存储在命令 RAM8 中。子画面发生器 5 从命令 RAM8 中读出该图像数据，进行旋转、放大、缩小，颜色运算等图像处理。此后，将该图像数据写入帧缓冲器 9 中规定的地址，展开成前景画用的动画。上述帧缓冲器 9 中的前景画 FG 的图像数据由子画面发生器 5 依次读出，不通过总线 14 直接供给上卷器 6。

其次，形成背景画的上卷器 6 的结构如图 3 所示。在图 3 中，图 2 中的子画面发生器 5 中的图像数据通过端子 A 供给上卷器 6。在上卷器 6 中含有进行子画面及上卷画面的窗口处理的窗口控制器 21、进行上卷画面的图像数据处理的背景画生成器 22（后面说明）、以及显示控制器 23。显示控制器 23 对由背景画生成器 22 读出的前景画及背景画的图像数据进行每个像素输出的优先顺序的判断，并合成图像。由连接的色 RAM 10 进行图像数据的彩色化。如此处理的图像数据，连同在彩色化电路 25 中生成的 RGB 数据，一同从端子 B 输

送至图2中的D/A变换器7。在此将图像数据转换成模拟化的彩色放像信号，显示在以标准监视器为代表的显示器4上。

### 1—2 本实施例的背景图像处理部分的结构

在表示视频处理机3内的上卷器6结构的图3中，特别是背景画生成部22的特征是将可由CPU1写入的各种寄存器11安装在其内部，并由这些寄存器11进行VRAM访问控制和将VRAM容量分配给图像数据的调整。其中，关于显示期间的VRAM访问时的控制，设有VRAM访问寄存器，在显示期间对图像数据进行的1个循环中的访问内容（循环图形）由CPU写入。下面用图1特别针对VRAM访问时的功能、详细说明本发明的电路中的背景画生成器22的结构。

在图1中，背景画生成器22包括控制VRAM访问的访问电路31、同步电路32、在输出前一并存储从VRAM读出的图像数据的数据缓冲器（寄存器33～36）、图像数据输出电路（37、38）、以及控制上卷画面的上下左右的移动和旋转等运动的坐标计算器39，该背景画生成器22连接在VRAM12上。

访问电路31由VRAM访问寄存器40、译码器41、以及地址寄存器42构成。端子C与CPU1连接，用来供给来自游戏程序中的命令、图像数据及图像数据的地址等。

同步电路32生成与监视器4的扫描同步的水平及垂直同步信号，以及点单位的同步信号。这些同步信号由端子D供给于画面发

生器，同时通过坐标计算器 39 供给背景画生成器 22 的各个部位。因此，前景画及背景画输出时的位置和时间一致。同步电路 32 生成 1 个点（像素）周期的地址信号，供给 VRAM 访问寄存器。

在背景画生成器 22 内的图像数据输出电路 37 和 38 中生成的像素单位的图像数据通过端子 E 和端子 F，输出至图 3 中的显示控制器 23。

## 2. 本实施例的作用及效果

下面说明具有上述结构的本实施例的背景图像处理部的作用。

### 2—1 显示条件的设定

在图 1 中的访问电路 31 中，作为设定用来指定单位时间（1 个循环）内的 VRAM 访问内容的循环图形的前阶段，必须预先设定以下所示的各种条件。即

- (1) 关于所显示的上卷画面的数量、各上卷画面使用的颜色数量或缩小设定等显示的各种条件。
- (2) 分配存储各上卷画面的图像数据的 VRAM 的容量；使用的 VRAM 的数量；是否分割成存储单元。
- (3) 是否进行 CPU 访问。等等。

在本实施例中，显示的上卷画面数为 BG0 及 BG1，共计两个，上卷画面 BG0 使用 16 色，上卷画面 BG1 使用 256 色。另外，这些上卷画面都不进行缩小设定，在存储图像数据时不用分割而是使用 1 个 VRAM。另外，上卷画面都没有图像的变更，不需要 CPU 访问时

间。

## 2—2 循环图形的设定

上述条件确定后，就要设定在进行 VRAM 访问时的循环图形。如上所述，在进行 VRAM 访问时，在 1 个像素的输出时间内要访问 1 次，将一个输出单元内的水平列上的 8 个像素进行的 8 次访问所用的时间设定为单位时间（1 个循环）。在图 1 中，访问电路 31 内的 VRAM 访问寄存器 40 分别与 1 次访问时间相当，分成从 R1 到 R8 的 8 个寄存器。在这些寄存器中，使用本实施例中的访问命令来指定各次访问操作。该访问命令是一种 4 位的二进制码，用来指定将哪一个上卷画面内的图像数据读出。使用这些访问命令，经过计时器定时，在 1 个循环中指定适当的时刻，用以设定循环图形。

下面说明本实施例中的循环图形中设定的内容。

首先，为了读出与上卷画面 BG0 有关的图像数据，作为第 1 次访问，设定“BG0 图形名称读出”。

其次，指定上卷画面 BG0 的图形数据的读出。图形数据是在各像素的信息中将作为像素的色信息的规定位数的色码以单元为单位集中起来的信息。例如，如果由纵横 8 个像素构成 1 个单元，则在图形数据中含有 64 个像素（ $8 \times 8$ ）的色码。在 VRAM 访问中读出图形数据时，要根据图形数据中的信息量增减访问次数。该图形数据的信息量取决于图形数据中所含的每个像素的色码的位数，缩小率等有关显示方面的各种条件。

在使用 16 色的上述上卷画面 BG0 中，图形数据中含有的每个像素的色码为 4 位。因此在 1 次访问中读出的 16 位的图形数据是 4 个像素的色码。在 VRAM 访问中读出的图形数据的规定量是 8 个像素（单元的水平列）。因此在上卷画面 BG0 中，为了读出图形数据，必须连续进行两次访问，所以要连续设定两次“BG0 图形数据读出”。

接着，设定有关使用 256 色的上述上卷画面 BG1 的“BG1 图形名称读出”，指定图形名称数据的读出。其次，在图形数据的读出中，上卷画面 BG1 的图形数据中所含有的每一像素的色码为 8 位。因此 16 位的图形数据是两个像素的色码。因此，为了读出规定数量为 8 个像素的图形数据，必须连续进行 4 次访问，因此对于“BG1 帧面数据读出”要作连续设定。

上述那种循环图形能够采用由 CPU 读入的方式进行设定。作为该设定方法，有例如可以使用独立的程序确定最佳循环图形的方法，以及在 CD—ROM 或存储磁盘中指定使用预先准备好的循环图形的方法等。循环图形由 CPU 从上述设定装置中读入，再由 CPU 存入 VRAM 访问寄存器 40 中。图 4 示出了 VRAM 访问寄存器内的各寄存器中所存储的循环图形。

### 2—3 本实施例的工作原理

其次，根据 VRAM 访问寄存器 40 中所存储的如图 4 所示的循环图形，说明控制 VRAM 访问的访问电路的工作原理如下。

### [顺序 1] 读出访问命令

首先, 说明读出来自循环图形的访问命令时的操作。如上所述, 图 1 中的 VRAM 访问寄存器 40 由寄存器 R1 至寄存器 R8 共 8 个寄存器构成, 从同步电路 32 接收 1 个点 (像素) 的周期的地址信号。该地址信号依次指示上述 8 个寄存器各自的 VRAM 访问寄存器内的地址。从 VRAM 访问寄存器 40, 按照地址信号的指示, 依次读出各寄存器内所存储的访问命令。读出的各访问命令由译码器 41 译出, 由此得到的读/写控制信号被输向地址选择器 42 及 VRAM 12。

如上所述, 根据从 VRAM 访问寄存器 40 读出的访问命令, 选择读出或写入所需要的图像数据的 VRAM 内的地址, 供给 VRAM。下面详细说明生成供给 VRAM 的图像数据的地址的工作原理。

#### A、访问命令是“图形名称读出”时

按顺序 1 读出的访问命令是读出各上卷画面的图形名称数据的“图形名称读出”时, 首先生成指定的图形名称数据在 VRAM12 中的地址 (帧面名称地址)。帧面名称地址按下列操作方式生成。

### [顺序 2] 图形名称地址的生成

在图 1 中的坐标计算部 39 中, 由同步电路 32 供给上卷画面 BG0、BG1 的垂直、水平及点 (像素) 周期的同步信号。坐标计算部 39 对上卷画面 BG0、BG1 分别进行上下左右的移动或旋转等处理。在下述情况下就必须进行上述的处理, 例如在游戏过程中, 当表现从空中飞行的飞机上看到地面上的情况时等等, 使飞机的位置固定

不动，而使背景画旋转、移动，借以表现出飞机的运动。

由坐标计算部 39 设想以 (VRAM 12 中存储的) 图形数据及图形名称数据为根据的上卷画面，根据来自同步电路 32 的同步信号和从端子 C 收到的 CPU1 的指示，进行每个像素的坐标计算。经过这样做得到的上卷画面中的各像素的坐标值称为像素地址。

如图 5 (a) 所示，该像素地址具有由 (例如) 9 位 X 坐标 (X0 ~ X8) 和 9 位 y 坐标 (y0 ~ y8) 构成的坐标数据。在 x、y 两个坐标的数据中，除了右侧 3 位 (x0 ~ x2, y0 ~ y2) 以外，左侧 6 位 (x3 ~ x8, y3 ~ y8) 是表示此单元在上卷画面中的位置的数据，如图 5 (d) 所示。因此，如图 5 (b) 所示，将从上述坐标数据中分别除去 x 坐标及 y 坐标的右侧 3 位以后的数据组合起来，生成 12 位的帧面名称地址 (x3 ~ x8/y3 ~ y8)，供给地址选择器 42。

另一方面，在像素地址的坐标数据中，x y 坐标的右侧 3 位 (x0 ~ x2, y0 ~ y2)，如图 5 (e) 所示，通过这些位有 0 或 1 的码的组合，表示纵横  $8 \times 8$  个像素的某个单元内的 64 个像素的 x 坐标值及 y 坐标值。其中，在表示此单元内的 8 个 x 坐标值的 x 坐标的右侧 3 位 (x0 ~ x2) 中，附加了表示各像素的色码的位数，如图 5 (c) 所示。而且根据上述色码的位数，如果是上卷画面 BG0 (4 位色码) 时，供给图像数据输出电路 37，如果是上卷画面 BG1 (8 位色码) 时，供给图像数据输出电路 38。另外，y 坐标的右侧 3 位 (y0 ~ y2) 直接供给地址选择器 42，作为生成图形数据地址时的数据使用。

### [顺序 3] 由地址选择器读出地址的指定 1

现在回到图 1 进行说明。通过端子 c 由 CPU1 送来的 VRAM 12 的地址与从坐标计算部 39 供给的 12 位的图形名称地址一起供给地址选择器 42。地址选择器 42 以上述 VRAM 12 的地址为根据对 VRAM 12 进行访问，将上述图形名称地址输给 VRAM 12。

### [顺序 4] VRAM 帧面名称数据的读出

VRAM 12 连接在图 1 中的背景画生成部 22 中与每个上卷画面的图像数据的种类相对应的多个数据缓冲器上。其中寄存器 33 是存储上卷画面 BG0 的图形名称数据用的缓冲器，寄存器 34 是用来存储上卷画面 BG1 的图形名称数据用的缓冲器。当 VRAM 12 收到来自地址选择器 42 的图形名称地址时，就根据该地址读出图形名称数据。与此同步，来自译码器 41 的控制信号（写入）被送至 VRAM 12，如果读出的上述图形名称数据是属于上卷画面 BG0 的，便存入寄存器 33，如果是上卷画面 BG1 的，则存入寄存器 34。

通过以上的顺序 1~4，在 VRAM 访问中执行访问命令“图形名称读出”，读出图形名称数据，存入规定的数据缓冲器。

在读出图形名称数据之后，访问电路 31 根据 VRAM 访问寄存器 40 中存储的循环图形，读出下一个访问命令即为了输出而转移到读出每个单元色数据的图形数据的操作过程。下面说明访问命令转移到“图形数据读出”时的顺序。

### B、访问命令是“帧面数据读出”时

当按顺序 1 读出的访问命令是“图形数据读出”时，为了从 VRAM 12 读出图形数据，需要由地址选择器 42 将图形数据在 VRAM 12 中的地址输送给 VRAM 12。根据按上述 1~4 的顺序由 VRAM 12 读出的图形名称数据，按照下述操作顺序生成上述地址。

#### [顺序 5] 图形数据地址的生成

在图 1 中，进行图形数据读出时，控制信号（读出）从译码器 41 输送至寄存器 33 及 34。当收到该控制信号之后，从寄存器 33（上卷画面为 BG0 时）或从寄存器 34（上卷画面为 BG1 时）读出图形名称数据，并输送给地址选择器 42。如图 6 (a) 所示，帧面名称数据通常在例如右侧 9 位中含有图形数据在上卷画面（或 VRAM 12）中的开头地址。此开头地址指定哪个单元是读出的对象。

另外，当坐标计算器 39 收到来自于在顺序 2 中生成的像素地址的 x y 坐标数据右侧 3 位中指定单元内的 8 个 y 坐标值的 y 坐标的右侧 3 位 (y0~y2) 之后，就将其输向地址选择器 42。该 y 坐标的右侧 3 位指定单元内的像素的 y 坐标。

如图 6 (b) 所示，以上述开头地址和上述 y 坐标的右侧 3 位经过合成后的 12 位的形式生成图形数据地址。因此，图形数据地址具有指定某个单元内的 8 个水平列中的 1 列的作用。这时，指示在第几次的读出访问时将由上述地址指定的帧面数据读出用的规定数的位数附加到帧面数据地址中。

#### [顺序 6] 地址选择器读出地址的指定 2

现在再回到图 1 进行说明。通过端子 C 由 CPU1 送来的 VRAM 12 的地址与在顺序 5 中生成的上述图形数据在 VRAM 12 中的 12 位的图形数据地址一起供给地址选择器 42。地址选择器 42 根据上述 VRAM 12 的地址进行对 VRAM 12 的访问，将上述图形数据地址输出向 VRAM 12。

#### [顺序 7] VRAM 图形数据的读出

在 VRAM 12 上连接着背景画生成器 22 中的多个数据缓冲器，用来储存各上卷画面的图形数据。其中，寄存器 35 用来存储上卷画面 BG0 的图形数据用的缓冲器。寄存器 36 是用来储存上卷画面 BG1 的图形数据用的缓冲器。VRAM 12 收到来自地址选择器 42 的图形数据地址之后，就根据该地址读出图形数据。与此同步，来自译码器 41 的控制信号（写入）被输送给至 VRAM 12，因此读出的图形数据如果是上卷画面 BG0 的，便存入寄存器 35 中，如果是上卷画面 BG1 的，则存入寄存器 36 中。

通过以上的顺序 5~7，在 VRAM 访问中执行访问命令“图形数据读出”，读出图形数据，并将其存入规定的数字缓冲器中。

其次，按上述顺序 1~7 从 VRAM 12 中读出的图像数据（图形数据）在图像数据输出电路 37 或 38 中，再构成按照像素数据的形式重新组合成每个像素的信息。下面根据图 7 详细说明输出像素数据时的工作原理。

#### [顺序 8] 像素数据输出

图像数据输出电路 37 及 38 从坐标计算部 39 接收对每个上卷画面指定的像素的色码的位数控制信号、以及像素地址的 x 坐标的右侧 3 位 (x0~x2) 信号。上述控制信号指定 4 位时，在图像数据输出电路 37 中，从上卷画面 BG0 (使用 16 色) 用的寄存器 35 读出 2 个字 (32 位) 的图形数据。这是根据循环图形在两次访问中读出的单元水平列上 8 个像素的图形数据。如图 7 (a1) 所示，这 8 个像素图形数据从右侧起每 4 位为 1 个数据，共分成 8 个数据 (P0~P7)。上述 x 坐标的右侧 3 位从这些分为 8 个的 4 位数据中选择 1 个数据。即通过选择 1 个水平列的 x 坐标值，指定上述水平列上 8 个像素中的 1 个像素。这样，指定出图形数据中的 1 个像素的色码。

如图 7 (b1) 所示，从寄存器 33 读出上卷画面 BG0 的图形名称数据，并将其中指定图 3 中的色 RAM 10 的开头地址的左侧 7 位附加在所选择的 4 位色码中。于是如图 7 (c1) 所示，形成共计 11 位的像素单位的色数据。

另一方面，当上述控制信号指定 8 位时，在图像数据输出电路 38 中，从上卷画面 BG1 (使用 256 色) 用的寄存器 34 读出 4 个字 (64 位) 的图形数据。这是根据循环图形在 4 次访问中读出的单元水平列上 8 个像素的图形数据。如图 7 (a2) 所示，这 8 个像素的图形数据从右侧起每 8 位为一个数据共分成 8 个 (P0~P7)。上述 x 坐标的右侧 3 位选择这些分成 8 位的数据中的 1 个数据。即通过选择 1 个水平列的 x 坐标值，指定上述水平列上 8 个像素中的 1 个像素。从

而指定出图形数据中的 1 个像素的色码。

如图 7 (b) 所示, 从寄存器 34 读出上卷画面 BG1 的图形名称数据, 将其中指定色 RAM 的开头地址的左侧 3 位附加到由上述 x 坐标的右侧 3 位选择的 8 位色码中。于是如图 7 (c2) 所示, 形成共计 11 位像素单位的色数据。

如上形成的每个像素的图像数据, 从图像数据输出电路 37 或 38 通过端子 E 或端子 F, 输出给图 3 中的显示控制器 23 中的优先顺序电路 24。

#### 2—4 本实施例的效果

如上所述, 在本发明的访问电路中, 以访问命令的规定形式指定 VRAM 访问时的访问操作。而且, 以读入 CPU 的形式设定循环图形, 该循环图形用来设定单位时间的 1 个循环中的 8 次访问的访问命令, 并以从 CPU 写入的方式进行储存。因此, 当循环图形变更时, 就可以仅由 CPU 指定访问命令的更换作业。另外, 在增设 VRAM 访问寄存器时, 由于是与多个 VRAM 一一对应所以能够由 CPU 适当地进行访问命令的修正及设定, 这样就有很大的灵活性。由于能够更为自由地设定循环图形, 所以例如能够对每个上卷画面分别进行适当地调整, 例如, 进行颜色数量的最佳设定, 各上卷画面的显示内容一致等方面的调整, 这样就能将图像数据的数量控制在最少限度。这意味着能取得能够有效地使用有限的 VRAM 容量的效果。

### 3. 另一实施例

本发明不限于上述实施例。本发明本来的目的就是能自由地设定和变更上卷画面的显示条件,所以不用说能够达到本来的目的,还能够根据需要形成灵活结构的访问电路。下面,举例另一参考例加以说明。

### 3—1 参考例 1: CPU 访问的设定

#### —访问寄存器及 VRAM 的增设—

例如在上述实施例中,假定上卷画面 BG0 和 BG1 两者中至少有一个要在显示期间也需要进行 CPU 访问。这时,在上述实施例中由于使用单一的 VRAM,读出全部图像数据时要使用 1 个循环中的 8 次访问内容,因此没有 CPU 用的空闲时间。这时,能用本发明的访问电路根据需要增设 VRAM,同时还能增设与各个 VRAM 相对应的访问寄存器。现在假设根据各上卷画面的图像数据分配 VRAM,如图 8 所示,即使是使用颜色数量多的上卷画面 BG1,也能在 1 个循环内设定 CPU 访问。因此,在显示期间能从 CPU 写入新的图像数据。这样,由于能根据需要,增设 VRAM 和对应于 VRAM 的访问寄存器,所以不需要按现有的情况将不使用的无用访问时间也固定在硬件中。这意味着具有减轻硬件负担的效果。

### 3—2 参考例 2: VRAM 容量的有效利用

另外,在上述实施例中,有时上卷画面 BG0 和 BG1 都使用 256 色,另外,所显示的上卷画面数量也有所增加。这样,在进行 VRAM 访问时一次要读入大量图像数据时,也要增设 VRAM 或将其分割成

存储单元等，并将这些存储单元预先分配给每一个上卷画面（参照2—1 显示条件的设定）。

在本发明的图像处理装置中，不仅能同时访问若干 VRAM 或 VRAM 存储单元，而且还可以根据由各个上卷画面占用的图像数据量、访问的频度等预先考虑 VRAM 的使用状况方面的差异等，由 CPU 自由地设定每个上卷画面的 VRAM 容量的分配方式。

### 3—3 操作和效果

下面举例说明本发明的 VRAM 的使用例。

[例] 有三个上卷画面 BG0、BG1、BG2。在游戏场面 A，特别增加上卷画面 BG2 中使用的颜色数量。另外在同一游戏中的另一场面 B，则需要变更许多上卷画面 BG1 中的显示，不全部显示上卷画面 BG2。

在这种情况下，设置 2 个本发明的 VRAM，设它们是 VRAM—1 及 VRAM—2。如图 9 所示，在上述场面 A 中，设定将 VRAM—1 等分为 2 组存储单元。它决定控制 RAM 的寄存器内的 1 位是 0 还是 1。而且，将场面 A 用的上卷画面 BG0 和上卷画面 BG1 的图像数据存在 VRAM—1 中。将场面 A 用的上卷画面 BG2 的图像数据存在不分成存储单元的 VRAM—2 中。而且对于访问寄存器，将循环图形分别设定在各 VRAM 中，读出场面 A 时的图像数据。

此后，当转到场面 B 时，将上卷画面 BG0 的场面 B 用的图像数据存入 VRAM—1 中的存储单元 1a 中。而且将 VRAM—1 用的循环

图形的内容变更为上卷画面 BG0 的图像数据的读出用。另外，将场面 B 用的上卷画面 BG1 的图像数据存入 VRAM—2 中。而且将 VRAM—2 用的访问寄存器的循环图形的内容变更为上卷画面 BG1 的图像数据的读出用。这样一来，在场面 B，能对上卷画面 BG1 的图像数据分配更多的 CPU 访问时间。同时在场面 B，还能节省不全部显示的上卷画面 BG2 用的 VRAM 容量。这样，在本发明中，由于容易变更循环图形的设定，因此可根据图像数据的信息量或访问的必要性，更自由且适当地调整 VRAM 容量的分配。因此，具有能有效地使用有限的 VRAM 的容量的效果。

如上所述，如果采用本发明，由于能更自由的设定和变更相应于显示条件变化的 VRAM 访问时的循环图形，因此能提供一种显示更富于变化的图像的自由度高的图像处理装置及游戏机。

另外，由于能容易地增减存储循环图形的访问寄存器，因此能提供一种不需要预先固定设定在硬件中，而减少硬件的负担、不受固化的循环图形的影响、能适当地决定每个背景画上需要的图像数据的信息量、且能节省 VRAM 容量的图像处理装置及游戏机。另外，能提供一种能根据图像数据的信息量而变更 VRAM 容量的分配的图像处理装置及游戏机。

图 1

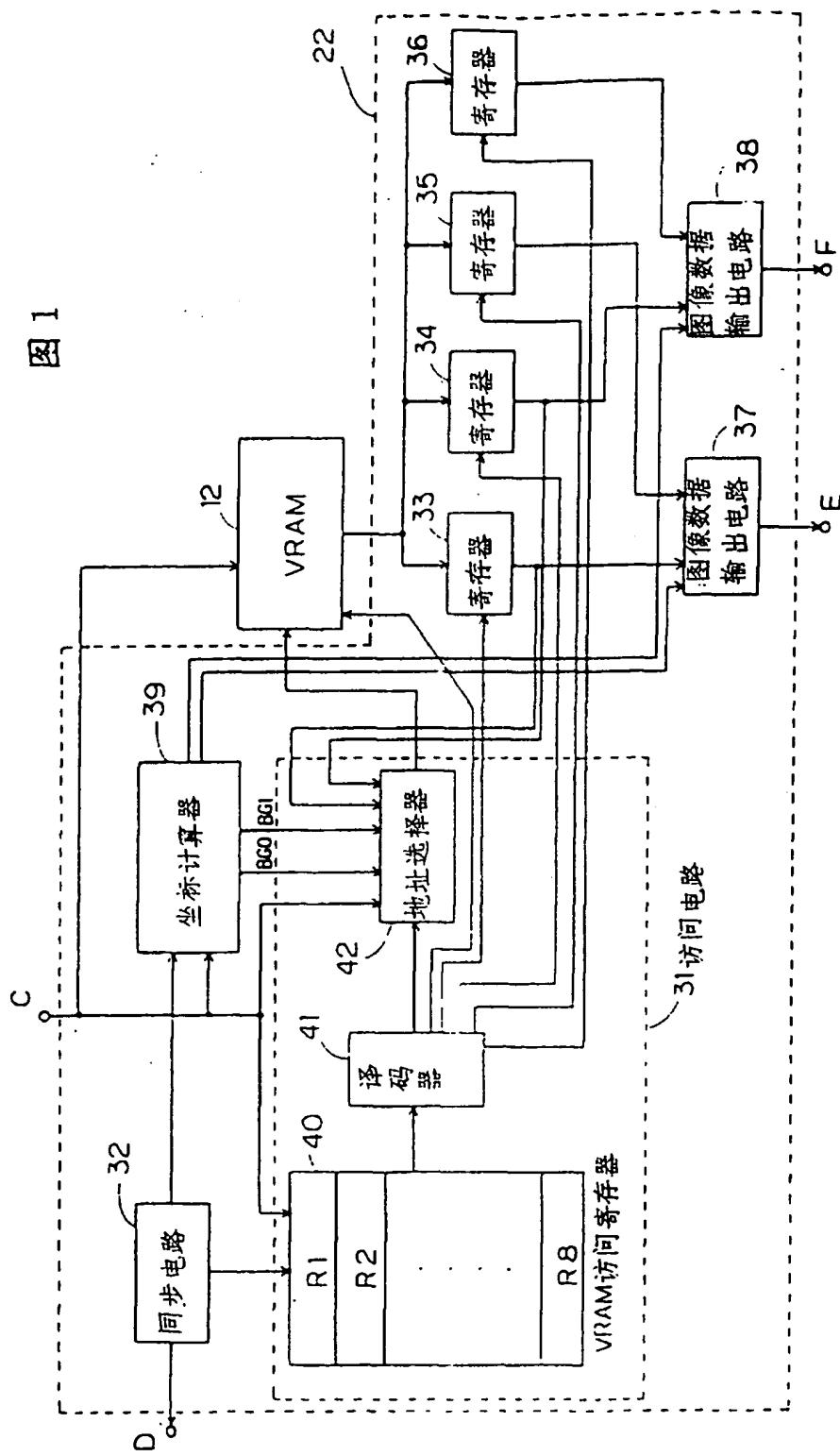


图 2

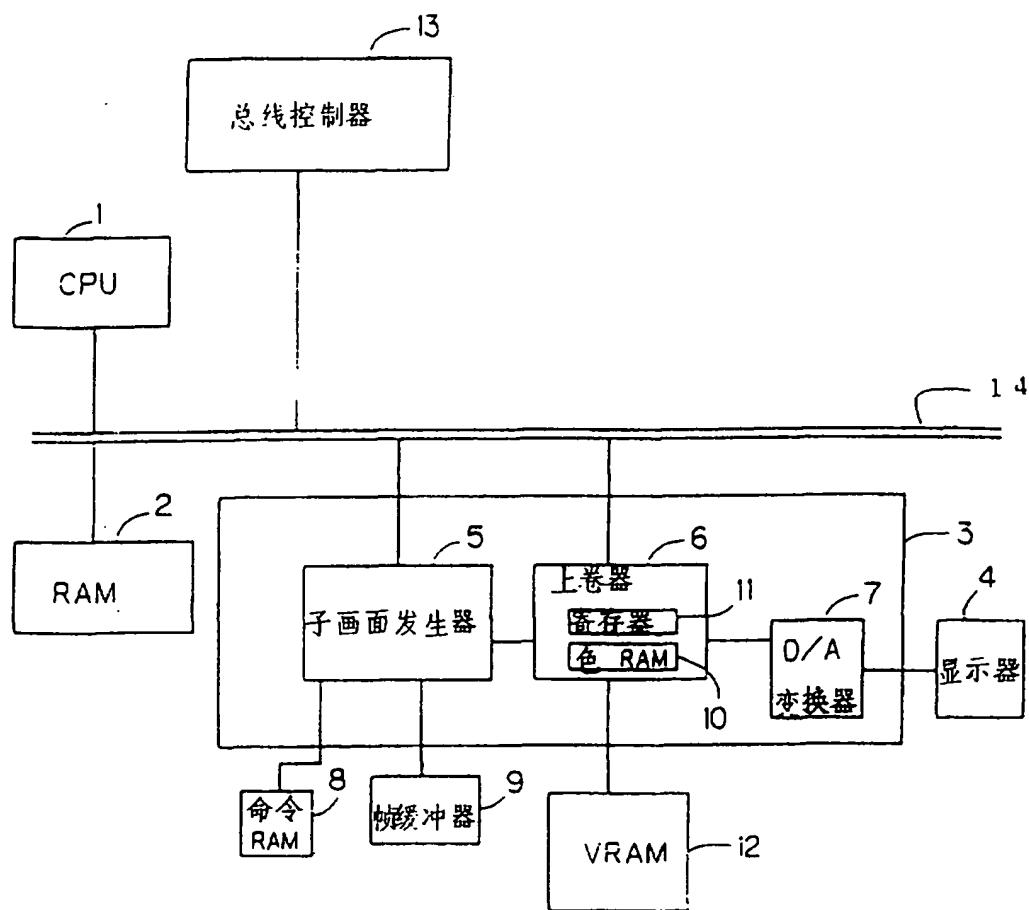


图 3

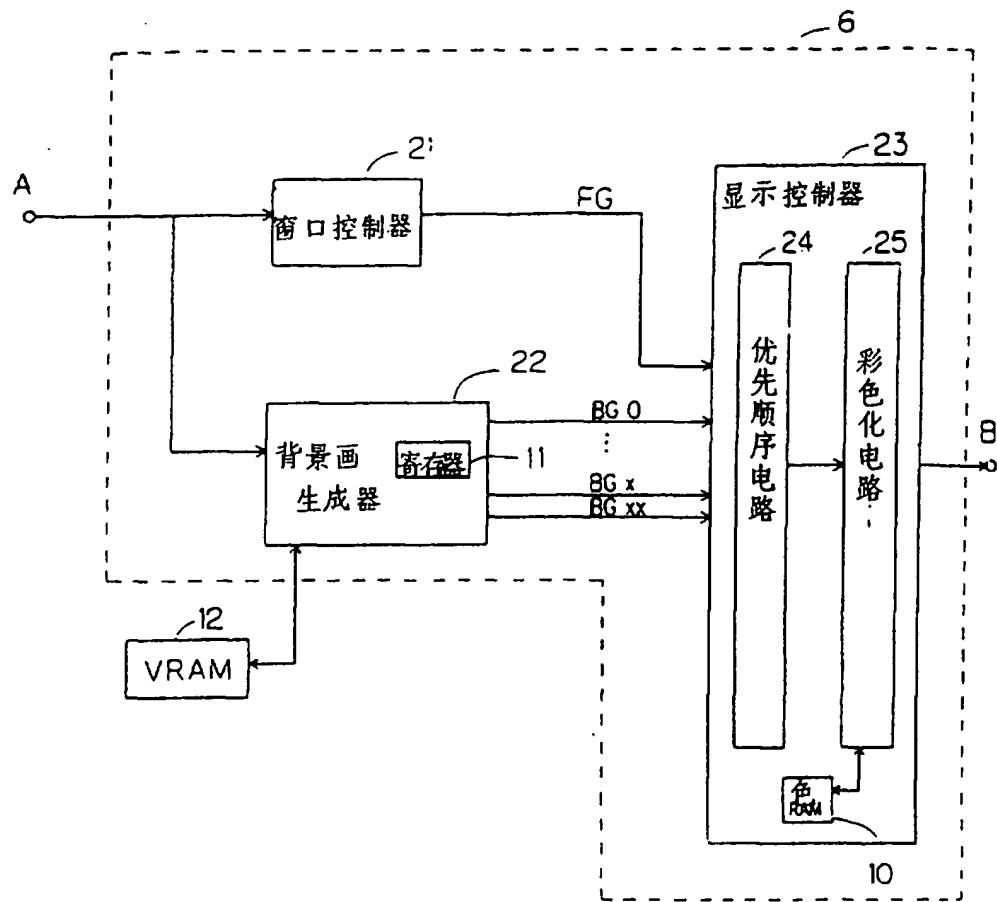


图 4

地址号	寄存器号	访问内容
A 1	R 1	B G 0 图形名称读出
A 2	R 2	B G 0 图形数据读出 1
A 3	R 3	B G 0 图形数据读出 2
A 4	R 4	B G 1 图形名称读出
A 5	R 5	B G 1 图形数据读出 1
A 6	R 6	B G 1 图形数据读出 2
A 7	R 7	B G 1 图形数据读出 3
A 8	R 8	B G 1 图形数据读出 4

图 5

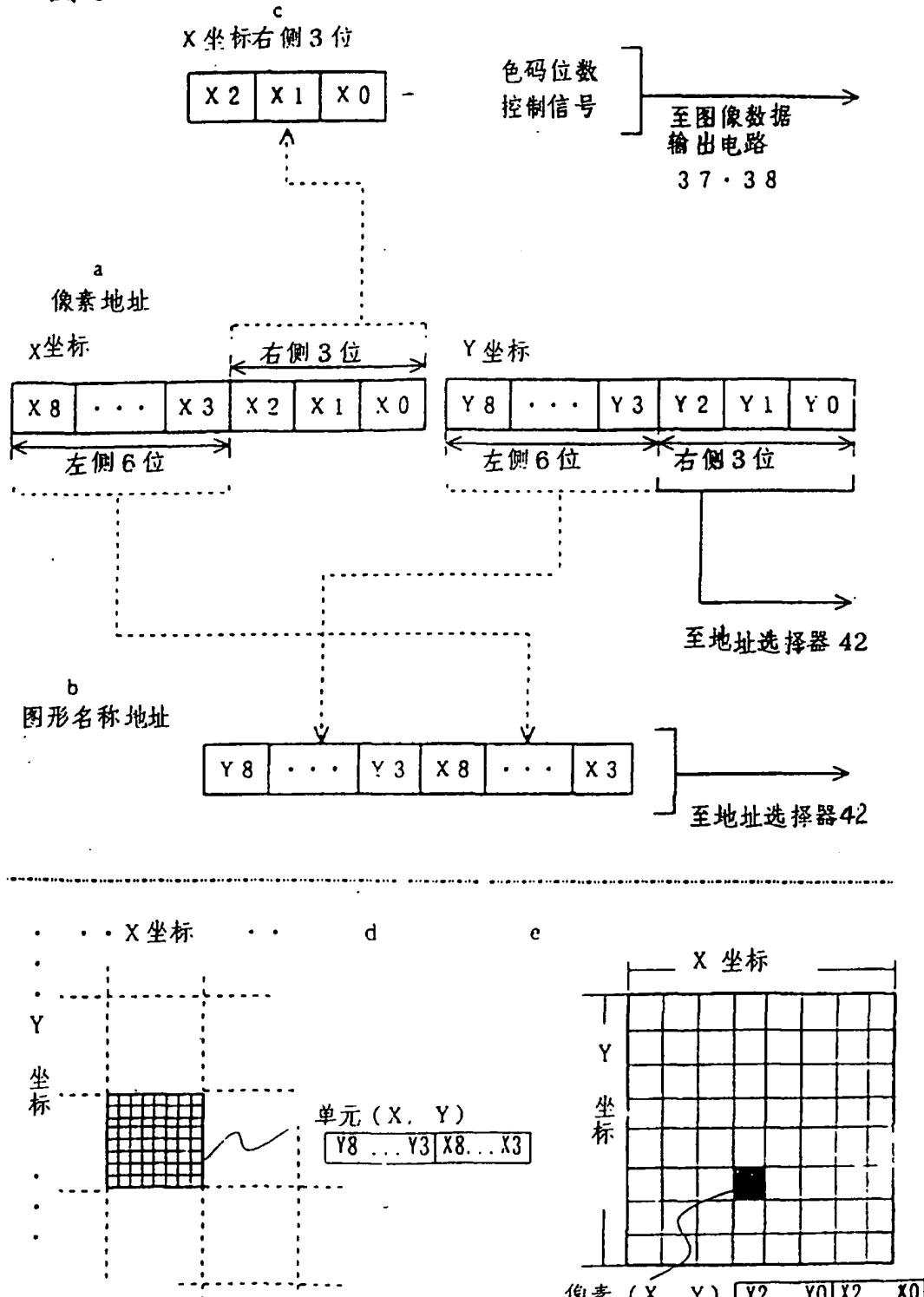


图 6

图形名称数据

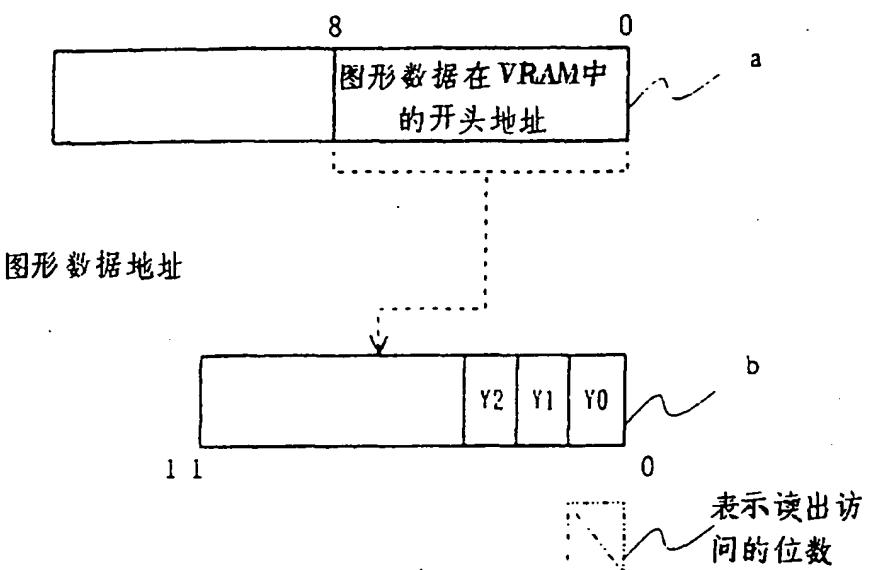
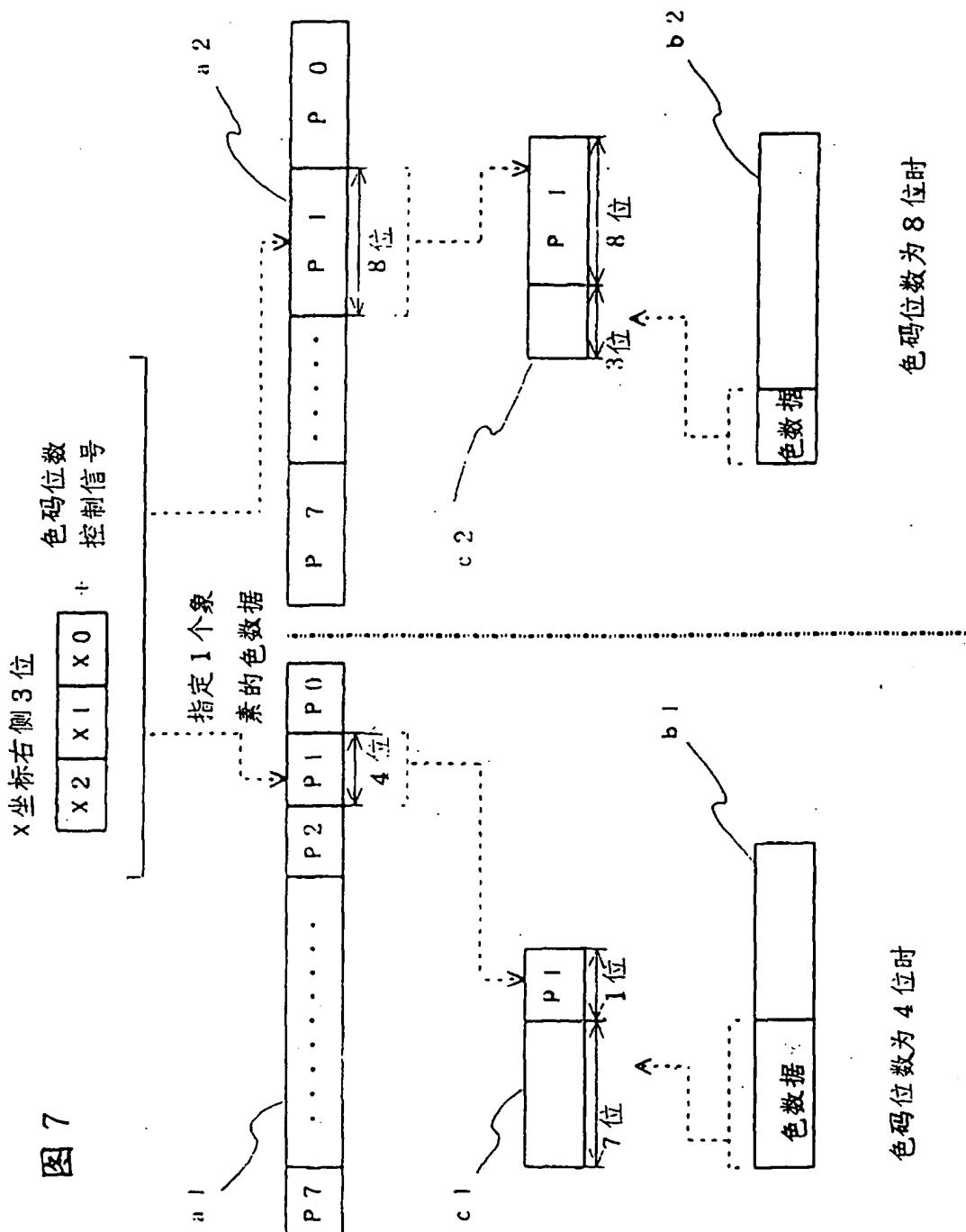


图 7



色码位数为 4 位时

色码位数为 8 位时

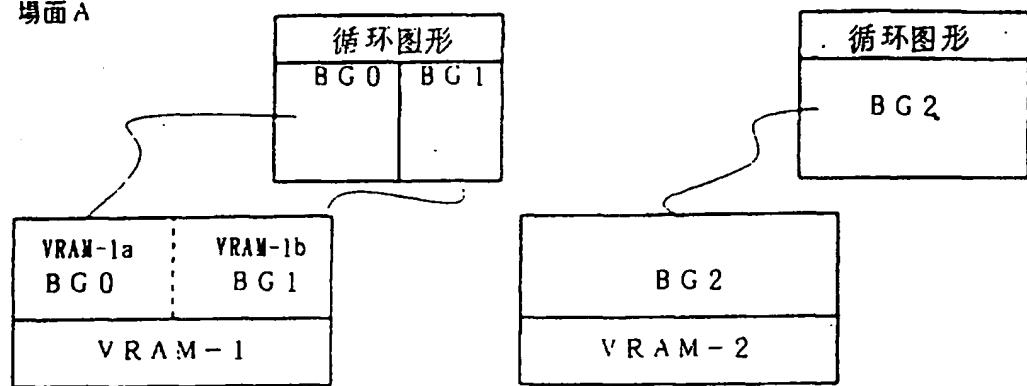
图 8  
[ 循环图形实施图 ]

寄存器	访问命令
R 1	B G 0 P N D · 读出
R 2	B G 0 P T D · 读出 1
R 3	B G 0 P T D · 读出 2
R 4	B G 1 P N D · 读出
R 5	B G 1 P T D · 读出 1
R 6	B G 1 P T D · 读出 2
R 7	B G 1 P T D · 读出 3
R 8	B G 1 P T D · 读出 4

寄存器	访问寄存器 1 (B G 0 : 16 色)	访问寄存器 2 (B G 1 : 256 色)
R 1	P N D · 读出	P N D · 读出
R 2	P T D · 读出 1	P T D · 读出 1
R 3		P T D · 读出 2
R 4	P T D · 读出 2	P T D · 读出 3
R 5		P T D · 读出 4
R 6		
R 7		C P U 访问
R 8		C P U 访问

图 9

場面 A



場面 B

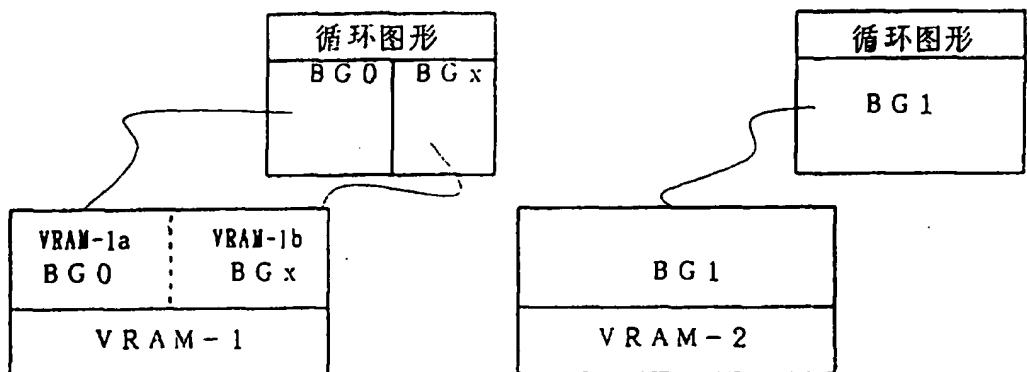
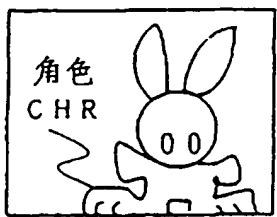
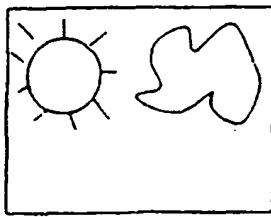


图 10

前景画 FG : PN = 6



背景画 BG0 : PN = 2



背景画 BG1 : PN = 4

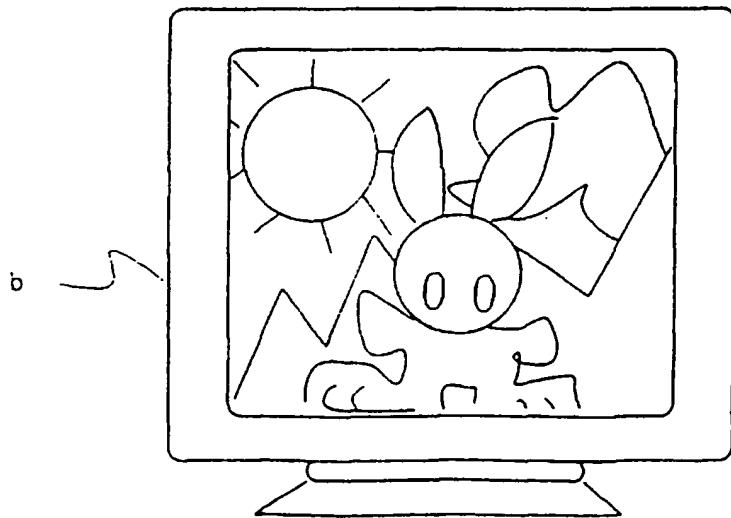
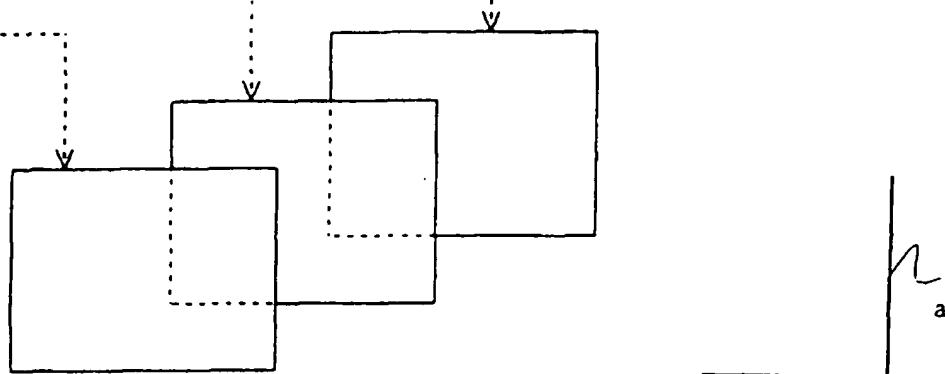
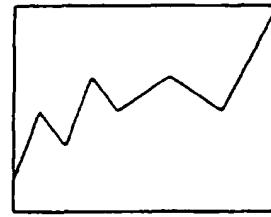


图 11

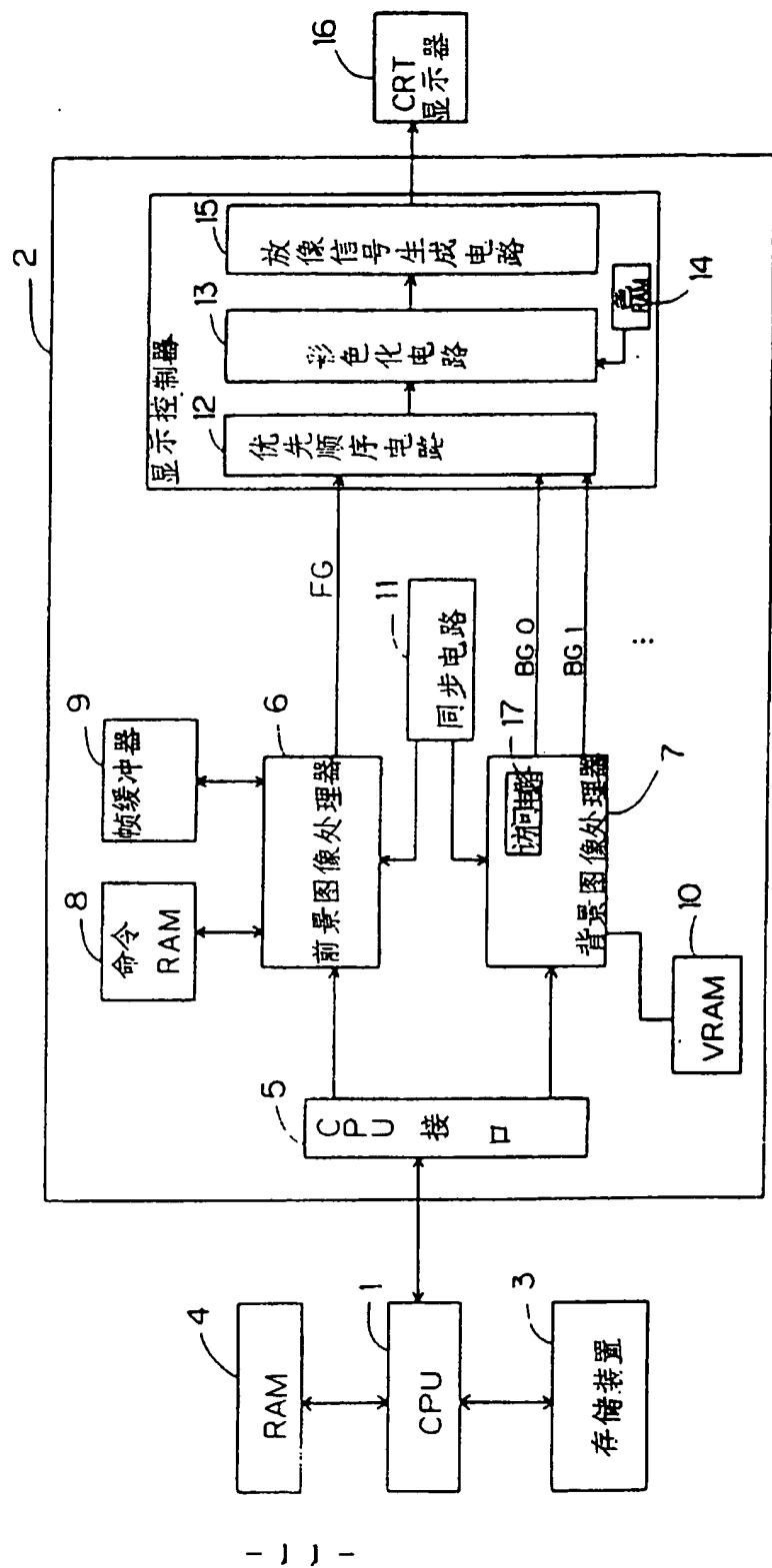


图 12

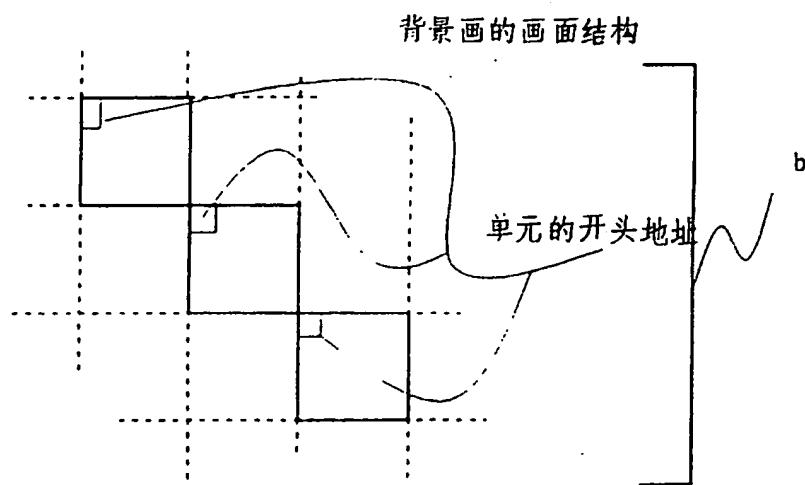
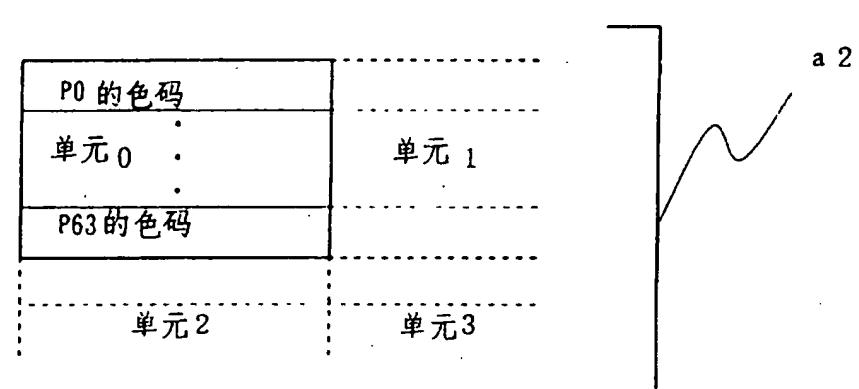
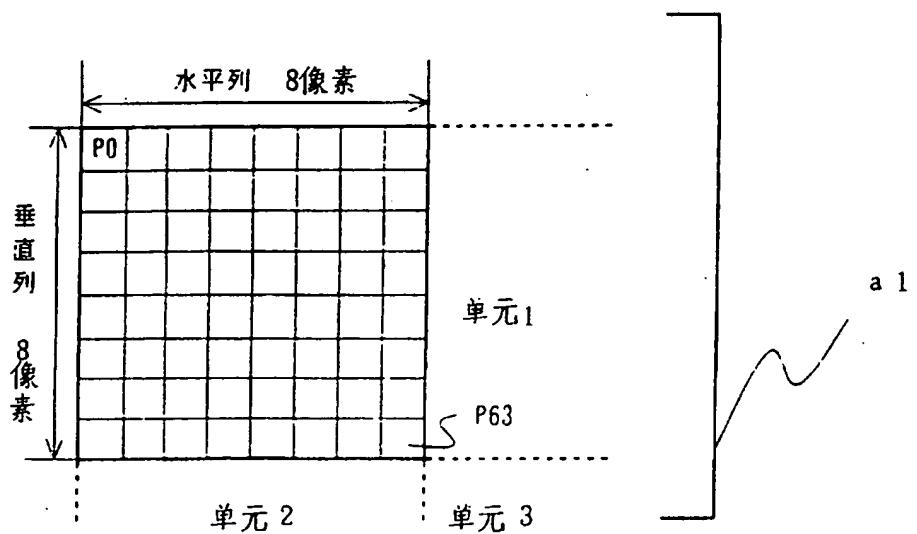


图 13

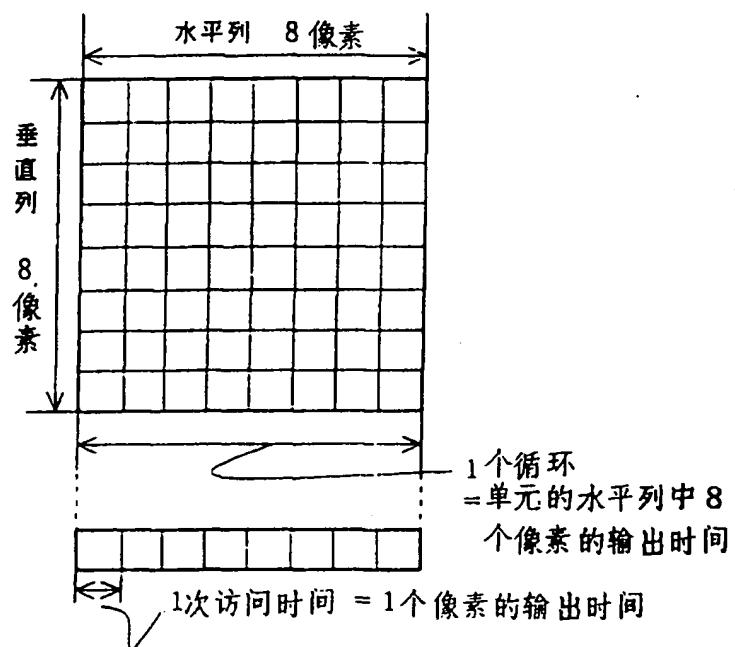


图 14

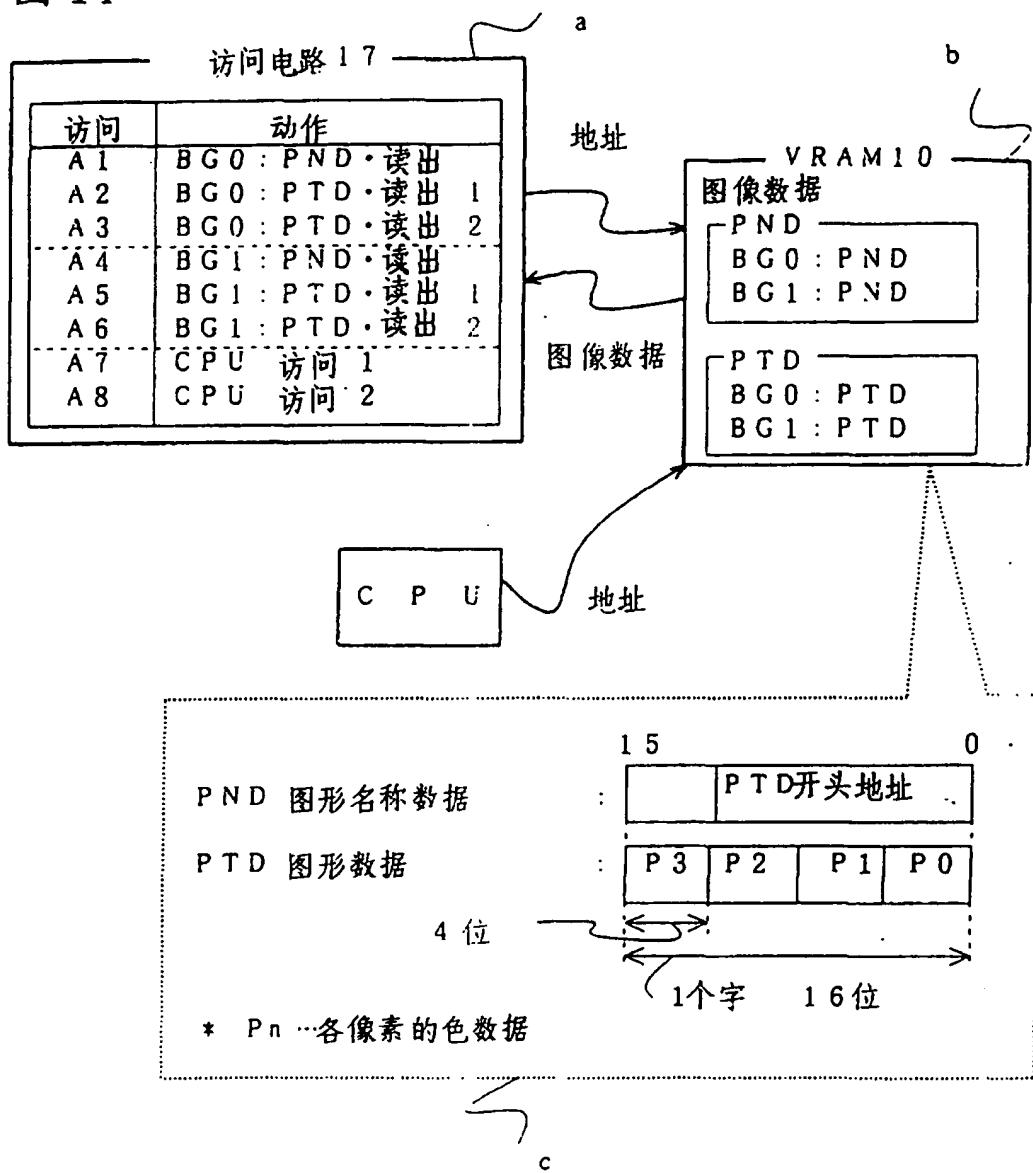
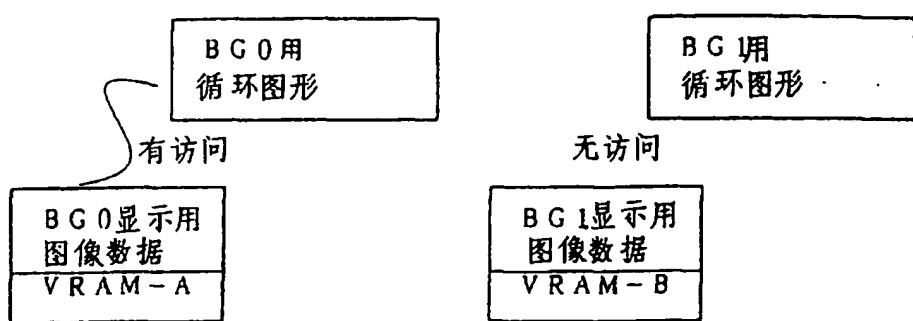


图 15

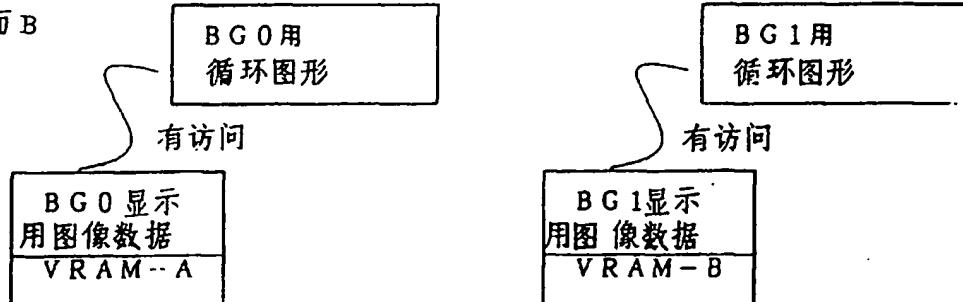
a			b																																			
<table border="1"> <thead> <tr> <th></th> <th>色数</th> <th>每个像素的色信息量(位数)</th> </tr> </thead> <tbody> <tr> <td>B G 0</td> <td>1 6</td> <td>4</td> </tr> <tr> <td>B G 1</td> <td>2 5 6</td> <td>8</td> </tr> </tbody> </table>				色数	每个像素的色信息量(位数)	B G 0	1 6	4	B G 1	2 5 6	8	<table border="1"> <thead> <tr> <th colspan="4">1 次访问中读出的像素数</th> <th colspan="4">读出 8 个像素所需要的访问次数</th> </tr> </thead> <tbody> <tr> <td>B G 0</td> <td>4</td> <td>8 (像素) / 4 = 2</td> <td>4</td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>B G 1</td> <td>2</td> <td>8 (像素) / 2 = 4</td> <td>8</td> <td>位</td> <td>1 个字</td> <td>16</td> <td>位</td> </tr> </tbody> </table>			1 次访问中读出的像素数				读出 8 个像素所需要的访问次数				B G 0	4	8 (像素) / 4 = 2	4					B G 1	2	8 (像素) / 2 = 4	8	位	1 个字	16	位
	色数	每个像素的色信息量(位数)																																				
B G 0	1 6	4																																				
B G 1	2 5 6	8																																				
1 次访问中读出的像素数				读出 8 个像素所需要的访问次数																																		
B G 0	4	8 (像素) / 4 = 2	4																																			
B G 1	2	8 (像素) / 2 = 4	8	位	1 个字	16	位																															

图 16

场面 A



场面 B



# 权利要求书

找寻方法的修改

1. (不变更) 一种图像处理方法，它是将形成前景画用的图像数据存入帧缓冲器中，并将形成背景画用的图像数据存入视频 RAM 中，通过在前景图像处理器从上述帧缓冲器读出前景画用的图像数据、与其同步地在背景图像处理器从上述视频 RAM 读出背景画用的图像数据，经过定时使生成的前景画及背景画叠合，并将由此生成的合成的图像输出，

该图像处理方法的特征为：为了读出及写入背景画的图像数据，向视频 RAM 发送具体操作内容的指令，针对每一规定单位时间设定指定的操作内容，由 CPU 发送该设定内容的指令，根据来自上述 CPU 的指令，对视频 RAM 进行访问。

2. (修改) 根据权利要求 1 所述的图像处理方法，其特征为：至少设有 1 个上述的视频 RAM，根据对各视频 RAM 必要的访问频度，分别对每个视频 RAM 指定具体的操作内容，以便进行背景画的图像数据的读出及写入，在每一规定的单位时间内分别设定指定的操作内容，由 CPU 分别对这些设定发出指令，根据来自 CPU 的指令，分别访问各视频 RAM。

3. (修改) 根据权利要求 2 所述图像处理方法，其特征为：上述视频 RAM 被分成具有相同容量的多个 RAM 部分的两组存储单

元，根据对各存储单元必要的访问频度，分别对每组存储单元指定具体的操作内容，以便进行背景画的图像数据的读出及写入，在每一规定的单位时间内分别设定所指定的操作内容，由 CPU 分别指示这些设定，根据来自 CPU 的指令，分别访问各存储单元。

(以下各权利要求不变)